

542,854

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有權機關  
國際事務局



A standard linear barcode is located at the bottom of the page, spanning most of the width. It consists of vertical black bars of varying widths on a white background.

(43) 国際公開日  
2004年8月5日(05.08.2004)

PCT

(10) 国際公開番号  
**WO 2004/065899 A1**

(51) 國際特許分類<sup>7</sup>:

G01B 11/00

(72) 発明者: および

二〇〇一

2004年1月16日(16.01.2004)

日本語

## (26) 国際公開の言語:

日本語

(30) 优先权示意图：

特願2003-013905 2003年1月22日(22.01.2003) 10

(71) 出願人(米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 Shizuoka (JP).

(72) 発明者: および

発明者/出願人(米国についてのみ): 杉山 行信  
(SUGIYAMA, Yukinobu) [JP/JP]; 〒4358558 静岡県  
浜松市市野町1126番地の1浜松木トニクス株式会  
社内 Shizuoka (JP). 水野 誠一郎 (MIZUNO, Seiichiro)  
[JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1  
浜松木トニクス株式会社内 Shizuoka (JP).

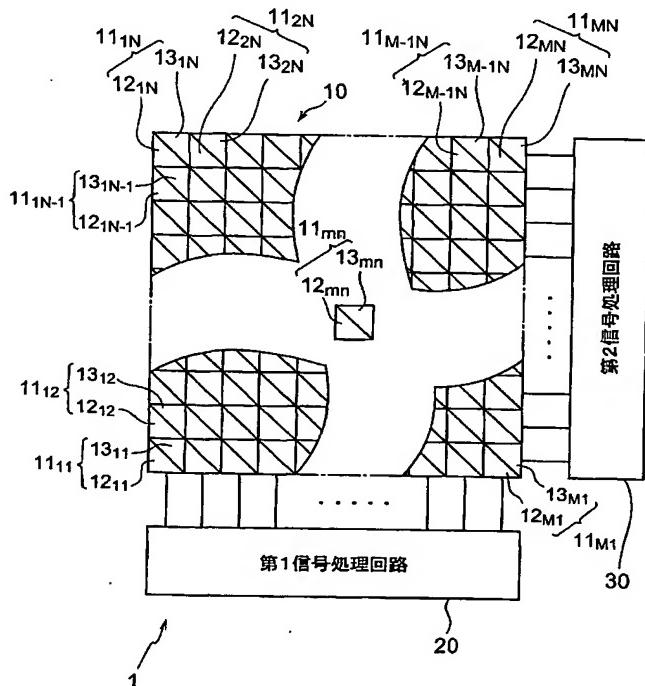
(74) 代理人: 長谷川 芳樹, 外(HASEGAWA, Yoshiki et al.); 〒1040061 東京都中央区銀座一丁目10番6号銀座ファーストビル 創英國際特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,

〔統葉有〕

**(54) Title:** OPTICAL SENSING DEVICE

(54) 発明の名称: 光検出装置



20...FIRST SIGNAL PROCESSING CIRCUIT  
30...SECOND SIGNAL PROCESSING CIRCUIT

**(57) Abstract:** It is possible to increase the sensing speed of a 2-dimensional position where light is incident and simplify the configuration of the sensing. In an optical sensing region (10) including pixels (11<sub>MN</sub>) arranged in 2-dimensional way, each one pixel (11<sub>MN</sub>) is composed of a plurality of optical sensing portions (12<sub>MN</sub>, 13<sub>MN</sub>) arranged adjacently in the same plane for outputting current in accordance with intensity of incident light. In the 2-dimensional arrangement, for the first direction, one (12<sub>MN</sub>) of the optical sensing portions of each pixel (11<sub>MN</sub>) is electrically connected with one another while for the second direction, the other (13<sub>MN</sub>) of the optical sensing portions of each pixel (11<sub>MN</sub>) is electrically connected with one another, thereby constituting an optical sensing portion group, respectively. There are provided an integration circuit for converting a current output of each optical sensing portion group into a voltage output and an A/D converter for converting the voltage output into a digital output in an appropriate range.

〔統葉有〕



LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

光が入射した2次元位置の検出処理の高速化および構成の簡素化を図る目的とする。画素 (1 1<sub>MN</sub>) が2次元配列された光感応領域 (1 0)において、各々入射した光の強度に応じた電流を出力する複数の光感応部分 (1 2<sub>MN</sub>, 1 3<sub>MN</sub>) を同一面内にて隣接配設することで1画素 (1 1<sub>MN</sub>) が構成され、2次元配列における第1の方向について各画素 (1 1<sub>MN</sub>) の一方の光感応部分 (1 2<sub>MN</sub>) 同士を電気的に接続し、第2の方向について各画素 (1 1<sub>MN</sub>) の他方の光感応部分 (1 3<sub>MN</sub>) 同士を電気的に接続し、それぞれに光感応部分群を構成する。光感応部分群それぞれの電流出力を電圧出力に変換する積分回路、当該電圧出力を適正な範囲においてデジタル出力に変換するためのA/D変換回路を備える。

## 明細書

光検出装置

技術分野

【0001】 本発明は、光が入射した2次元位置を検出する光検出装置に関するものである。

背景技術

【0002】 従来における光検出装置においては、MOS型イメージセンサ等の固体撮像素子を用いて、撮像により得られた画像データを画像メモリに取り込み、画像処理して2次元位置を検出するのが一般的である（例えば、特許文献1参照）。

【0003】 【特許文献1】特開平01-167769号公報

発明の開示

【0004】 しかしながら、上述した従来の技術においては、得られた画像データを格納する画像メモリが必要となることから、装置構成が複雑なものになってしまう。また、画像データを画像メモリに格納した後に演算処理を行って2次元位置を検出するため、2次元位置の検出処理に時間がかかるてしまう。

【0005】 本発明は上述の点に鑑みてなされたもので、その目的は、2次元位置の検出処理の高速化および構成の簡素化を図ることが可能な光検出装置を提供することにある。

【0006】 上述した目的を達成するため、本発明に係る光検出装置は、画素が2次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで1画素が構成され、2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電気的に接続され、2次元配列における第2の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分

同士が電気的に接続されており、第1の方向に配列された複数の画素間において電気的に接続された一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して、電圧出力を出力する第1積分回路と、第1積分回路それぞれから出力される電圧出力の最大値を検出する第1最大値検出回路と、第1最大値検出回路により検出された最大値から当該最大値より所定値小さい値までの範囲をA/D変換範囲とし、第1積分回路それぞれから出力される電圧出力を上記A/D変換範囲においてデジタル値に変換し、そのデジタル値を出力する第1A/D変換回路と、第2の方向に配列された複数の画素間において電気的に接続された他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を電圧出力に変換して、電圧出力を出力する第2積分回路と、第2積分回路それぞれから出力される電圧出力の最大値を検出する第2最大値検出回路と、第2最大値検出回路により検出された最大値から当該最大値より所定値小さい値までの範囲をA/D変換範囲とし、第2積分回路それぞれから出力される電圧出力を上記A/D変換範囲においてデジタル値に変換し、そのデジタル値を出力する第2A/D変換回路と、を有することを特徴としている。

【0007】 本発明に係る光検出装置では、1つの画素に入射した光は当該画素を構成する複数の光感応部分それぞれにおいて検出されて、光強度に応じた電流が光感応部分毎に出力される。そして、一方の光感応部分同士が2次元配列における第1の方向に配列された複数の画素にわたって電気的に接続されているので、一方の光感応部分からの電流出力は第1の方向に送られる。また、他方の光感応部分同士が2次元配列における第2の方向に配列された複数の画素にわたって電気的に接続されているので、他方の光感応部分からの電流出力は第2の方向に送られる。このように、一方の光感応部分からの電流出力は第1の方向に送られるとともに、他方の光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそ

それぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

**【0008】** また、本発明においては、第1最大値検出回路により検出された最大値から当該最大値より所定値小さい値までの範囲がA/D変換範囲とされ、第1積分回路それぞれから出力される電圧出力が上記A/D変換範囲においてデジタル値に変換されるので、上記最大値より所定値小さい値より小さい電圧出力は「0」に変換されることとなる。これにより、光感応領域に背景光が入射した場合でも、背景光成分を除去した状態で、一方の光感応部分からの電流出力をA/D変換することができる。また、第2最大値検出回路により検出された最大値から当該最大値より所定値小さい値までの範囲がA/D変換範囲とされ、第2積分回路それぞれから出力される電圧出力が上記A/D変換範囲においてデジタル値に変換されるので、上記最大値より所定値小さい値より小さい電圧出力は「0」に変換されることとなる。これにより、背景光成分を除去した状態で、他方の光感応部分からの電流出力をA/D変換することができる。これらの結果、入射した光の2次元位置を少ない計算量で極めて精度良く検出することができる。

**【0009】** また、第1最大値検出回路により検出された最大値から所定値を減じて求めた電圧出力を第1積分回路それぞれから出力される電圧出力から減じて第1A/D変換回路に出力する第1レベルシフト回路と、第2最大値検出回路により検出された最大値から所定値を減じて求めた電圧出力を第2積分回路それぞれから出力される電圧出力から減じて第2A/D変換回路に出力する第2レベルシフト回路と、を更に有することが好ましい。このように構成した場合、上記A/D変換範囲を簡易且つ確実に設定することができる。

**【0010】** 本発明に係る光検出装置は、画素が2次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで1画素が構成され、2次

5

に送られる。このように、一方の光感応部分からの電流出力は第1の方向に送られるとともに、他方の光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

10

【0012】 また、本発明においては、第1最小値検出回路により検出された最小値から当該最小値より所定値大きい値までの範囲がA／D変換範囲とされ、第1積分回路それぞれから出力される電圧出力が上記A／D変換範囲においてデジタル値に変換されるので、上記最小値より所定値大きい値より大きい電圧出力は「0」に変換されることとなる。これにより、光感応領域に注目すべき点より明るい背景光が入射した場合でも、注目すべき点より明るい背景光成分を除去した状態で、一方の光感応部分からの電流出力をA／D変換することができる。また、第2最小値検出回路により検出された最小値から当該最小値より所定値大きい値までの範囲がA／D変換範囲とされ、第2積分回路それぞれから出力される電圧出力が上記A／D変換範囲においてデジタル値に変換されるので、上記最小値より所定値大きい値より大きい電圧出力は「0」に変換されることとなる。これにより、注目すべき点より明るい背景光成分を除去した状態で、他方の光感応部分からの電流出力をA／D変換することができる。これらの結果、入射した光の2次元位置を少ない計算量で極めて精度良く検出することができる。

15

【0013】 また、上記光検出装置は、対象物に光を照射する光源とともに用いられ、光源から照射される光に関する情報を演算処理することが好ましい。このように構成した場合、光源から照射される光に関する情報を高速且つ極めて精度良く検出することができる。

20

【0014】 また、上記光に関する情報が、光源から照射される光の反射光の上記2次元配列における第1の方向及び第2の方向での輝度プロファイルである

元配列における第 1 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電気的に接続され、2 次元配列における第 2 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電気的に接続されており、  
5 第 1 の方向に配列された複数の画素間において電気的に接続された一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して、電圧出力を出力する第 1 積分回路と、第 1 積分回路それぞれから出力される電圧出力の最小値を検出する第 1 最小値検出回路と、第 1 最小値検出回路により検出された最小値から当該最小値より所定値大きい値までの範囲を  
10 A／D 変換範囲とし、第 1 積分回路それぞれから出力される電圧出力を上記 A／D 変換範囲においてデジタル値に変換し、そのデジタル値を出力する第 1 A／D 変換回路と、第 2 の方向に配列された複数の画素間において電気的に接続された他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を電圧出力に変換して、電圧出力を出力する第 2 積分回路と、第 2 積分回路それぞれから出力される電圧出力の最小値を検出する第 2 最小値検出回路と、  
15 第 2 最小値検出回路により検出された最小値から当該最小値より所定値大きい値までの範囲を A／D 変換範囲とし、第 2 積分回路それぞれから出力される電圧出力を上記 A／D 変換範囲においてデジタル値に変換し、そのデジタル値を出力する第 2 A／D 変換回路と、を有することを特徴としている。  
20 【0011】 本発明に係る光検出装置では、1 つの画素に入射した光は当該画素を構成する複数の光感応部分それぞれにおいて検出されて、光強度に応じた電流が光感応部分毎に出力される。そして、一方の光感応部分同士が 2 次元配列における第 1 の方向に配列された複数の画素にわたって電気的に接続されているので、一方の光感応部分からの電流出力は第 1 の方向に送られる。また、他方の光感応部分同士が 2 次元配列における第 2 の方向に配列された複数の画素にわたって電気的に接続されているので、他方の光感応部分からの電流出力は第 2 の方向

ことが好ましい。

【0015】 また、上記光に関する情報が、光源から照射される光の直接光の上記2次元配列における第1の方向及び第2の方向での輝度プロファイルであることが好ましい。

## 5 図面の簡単な説明

【0016】 図1は、本実施形態に係る光検出装置を示す概念構成図である。

【0017】 図2は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0018】 図3は、図2のI—I—I—I—I—I線に沿った断面図である。

10 【0019】 図4は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0020】 図5は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

15 【0021】 図6は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0022】 図7は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0023】 図8は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

20 【0024】 図9は、本実施形態に係る光検出装置に含まれる第1信号処理回路を示す概略構成図である。

【0025】 図10は、本実施形態に係る光検出装置に含まれる第2信号処理回路を示す概略構成図である。

25 【0026】 図11は、第1信号処理回路に含まれる第1積分回路の回路図である。

【0027】 図12は、第1信号処理回路に含まれる第1サンプルアンドホー

ルド回路の回路図である。

【0028】 図13は、第1信号処理回路に含まれる第1最大値検出回路の回路図である。

【0029】 図14は、第1信号処理回路に含まれる第1レベルシフト回路の回路図である。  
5

【0030】 図15Aは、第1積分回路に入力されるReset信号の経時的変化を示すグラフである。

【0031】 図15Bは、第1積分回路から出力される信号の経時的変化を示すグラフである。

10 【0032】 図15Cは、第1サンプルアンドホールド回路に入力されるHold信号の経時的変化を示すグラフである。

【0033】 図15Dは、第1サンプルアンドホールド回路から出力される信号の経時的変化を示すグラフである。

15 【0034】 図15Eは、第1シフトレジスタから出力される信号の経時的変化を示すグラフである。

【0035】 図15Fは、第1シフトレジスタから出力される信号の経時的変化を示すグラフである。

【0036】 図15Gは、第1シフトレジスタから出力される信号の経時的変化を示すグラフである。

20 【0037】 図15Hは、第1レベルシフト回路に入力される信号の経時的変化を示すグラフである。

【0038】 図16は、第1レベルシフト回路に入力される電圧出力 $H_{out}$ を一方の光感応部分群の位置に対して示す線図である。

25 【0039】 図17は、第1A/D変換回路の出力を一方の光感応部分群の位置に対して示す線図である。

【0040】 図18Aは、第2積分回路に入力されるReset信号の経時的変化

を示すグラフである。

【0041】 図18Bは、第2積分回路から出力される信号の経時的変化を示すグラフである。

【0042】 図18Cは、第2サンプルアンドホールド回路に入力される Hold  
5 信号の経時的変化を示すグラフである。

【0043】 図18Dは、第2サンプルアンドホールド回路から出力される信  
号の経時的変化を示すグラフである。

【0044】 図18Eは、第2シフトレジスタから出力される信号の経時的変  
化を示すグラフである。

10 【0045】 図18Fは、第2シフトレジスタから出力される信号の経時的変  
化を示すグラフである。

【0046】 図18Gは、第2シフトレジスタから出力される信号の経時的変  
化を示すグラフである。

15 【0047】 図18Hは、第2レベルシフト回路に入力される信号の経時的変  
化を示すグラフである。

【0048】 図19は、第2レベルシフト回路に入力される電圧出力  $V_{out}$  を他  
方の光感応部分群の位置に対して示す線図である。

【0049】 図20は、第2A/D変換回路の出力を他方の光感応部分群の位  
置に対して示す線図である。

20 【0050】 図21は、本実施形態に係る光検出装置に含まれる第1信号処理  
回路の変形例を示す概略構成図である。

【0051】 図22は、本実施形態に係る光検出装置に含まれる第2信号処理  
回路の変形例を示す概略構成図である。

25 【0052】 図23は、本実施形態に係る光検出装置を用いた位置検出システ  
ムの一例を示す概略構成図である。

【0053】 図24は、図23に示された位置検出システムに含まれる光検出

部を示す概略構成図である。

【0054】 図25は、本実施形態に係る光検出装置を用いた位置検出システムの一例を示す概略構成図である。

【0055】 図26は、本実施形態に係る光検出装置の変形例を示す概念構成図である。  
5

#### 発明を実施するための最良の形態

【0056】 本発明の実施形態に係る光検出装置について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。以下では、パラメータMおよびNそれを2以上の整数とする。また、特に明示しない限りは、パラメータmを1以上M以下の任意の整数とし、パラメータnを1以上N以下の任意の整数とする。  
10

【0057】 図1は、本実施形態に係る光検出装置を示す概念構成図である。本実施形態に係る光検出装置1は、図1に示されるように、光感応領域10と、第1信号処理回路20と、第2信号処理回路30とを有している。光検出装置1は、例えば、発光素子(LED、半導体レーザ等)から対象物に照射されるスポット光の直接光あるいは反射光の入射位置を検出するものである。  
15

【0058】 光感応領域10は、画素 $11_{mn}$ がM行N列に2次元配列されている。1画素は、各々に入射した光の強度に応じた電流を出力する光感応部分 $12_{mn}$ (第1光感応部分)及び光感応部分 $13_{mn}$ (第2光感応部分)を同一面内にて隣接して配設することで構成されている。これにより、光感応領域10において、光感応部分 $12_{mn}$ と光感応部分 $13_{mn}$ とは2次元的に混在した状態で同一面内にて配列されることとなる。  
20

【0059】 2次元配列における第1の方向に配列された複数の画素 $11_{11} \sim 11_{1N}, 11_{21} \sim 11_{2N}, \dots, 11_{M1} \sim 11_{MN}$ にわたって、当該各画素 $11_{mn}$ を構成する複数の光感応部分 $12_{mn}, 13_{mn}$ のうち一方の光感応部分 $12_{mn}$ 同士(たと  
25

5

えは、一方の光感応部分  $1\ 2_{11} \sim 1\ 2_{1N}$  が互いに電気的に接続されている。また、  
2次元配列における第2の方向に配列された複数の画素  $1\ 1_{11} \sim 1\ 1_{M1}$ ,  $1\ 1_{12} \sim$   
 $1\ 1_{M2}$ , …,  $1\ 1_{1N} \sim 1\ 1_{MN}$  にわたって、当該各画素  $1\ 1_mn$  を構成する複数の光  
感応部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$  のうち他方の光感応部分  $1\ 3_{mn}$  同士（たとえば、他方の光  
感応部分  $1\ 3_{11} \sim 1\ 3_{M1}$ ）が互いに電気的に接続されている。

【0060】ここで、図2及び図3に基づいて、光感応領域10の構成について説明する。図2は、光検出装置に含まれる光感応領域の一例を示す要部拡大平面図であり、図3は、図2のI—I—I—I—I—I線に沿った断面図である。なお、図2においては、保護層48の図示を省略している。

10 【0061】光感応領域10は、P型（第1導電型）の半導体からなる半導体基板40と、当該半導体基板40の表層に形成されたN型（第2導電型）の半導体領域41, 42とを含んでいる。これにより、各光感応部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$  は半導体基板40部分と一組の第2導電型半導体領域41, 42とを含み、フォトダイオードが構成されることとなる。第2導電型半導体領域41, 42は、図2に示されるように、光入射方向から見て略三角形状を呈しており、1画素において2つの領域41, 42が互いに一边が隣接して形成されている。半導体基板40は、接地電位とされている。なお、光感応領域10は、N型の半導体からなる半導体基板と、当該半導体基板の表層に形成されたP型の半導体領域とを含んで構成されていてもよい。領域41（光感応部分  $1\ 2_{mn}$ ）と領域42（光感応部分  $1\ 3_{mn}$ ）とは、図2から分かるように、第1の方向及び第2の方向において交互に配列されている。また、領域41（光感応部分  $1\ 2_{mn}$ ）と領域42（光感応部分  $1\ 3_{mn}$ ）とは、第1の方向と第2の方向とに交差する（たとえば、45°にて交差する）第3の方向及び第4の方向において交互に配列されている。

20

【0062】半導体基板40と領域41, 42の上には第1絶縁層43が形成され、この第1絶縁層43に形成されたコンタクトホールを介して第1配線44が一方の領域41に電気的に接続されている。また、第1絶縁層43に形成され

たコンタクトホールを介して電極45が他方の領域42に電気的に接続されている。

【0063】 第1絶縁層43の上には第2絶縁層46が形成され、この第2絶縁層46に形成されたコンタクトホールを介して第2配線47が電極45に電気的に接続されている。これにより、他方の領域42は、電極45を介して第2配線47に電気的に接続されることになる。

【0064】 第2絶縁層46の上には保護層48が形成されている。第1絶縁層43、第2絶縁層46及び保護層48は、SiO<sub>2</sub>又はSiN等からなる。第1配線44、電極45及び第2配線47は、Al等の金属からなる。

【0065】 第1配線44は、各画素11<sub>mn</sub>における一方の領域41を第1の方向にわたって電気的に接続するものであって、画素11<sub>mn</sub>間を第1の方向に延びて設けられている。このように、各画素11<sub>mn</sub>における一方の領域41を第1配線44で接続することにより、2次元配列における第1の方向に配列された複数の画素11<sub>11</sub>～11<sub>1N</sub>、11<sub>21</sub>～11<sub>2N</sub>、…、11<sub>M1</sub>～11<sub>MN</sub>にわたって一方の光感応部分12<sub>mn</sub>同士（たとえば、一方の光感応部分12<sub>11</sub>～12<sub>1N</sub>）が電気的に接続されて、光感応領域10において第1の方向に長く延びる光感応部が構成される。この第1の方向に長く延びる光感応部はM列形成されることになる。

【0066】 第2配線47は、各画素11<sub>mn</sub>における他方の領域42を第2の方向にわたって電気的に接続するものであって、画素11<sub>mn</sub>間を第2の方向に延びて設けられている。このように、各画素11<sub>mn</sub>における他方の領域42を第2配線47で接続することにより、2次元配列における第2の方向に配列された複数の画素11<sub>11</sub>～11<sub>M1</sub>、11<sub>12</sub>～11<sub>M2</sub>、…、11<sub>1N</sub>～11<sub>MN</sub>にわたって他方の光感応部分13<sub>mn</sub>同士（たとえば、他方の光感応部分13<sub>11</sub>～13<sub>M1</sub>）が電気的に接続されて、光感応領域10において第2の方向に長く延びる光感応部が構成される。この第2の方向に長く延びる光感応部はN行形成されることになる。

【0067】 また、光感応領域10においては、上述した第1の方向に長く延

びるM列の光感応部と第2の方向に長く延びるN行の光感応部とが同一面上に形成されることになる。

【0068】 領域41, 42の形状は、図2に示された略三角形状のものに限られず、図4～図8に示されるように、他の形状であってもよい。

【0069】 図4に示された第2導電型半導体領域（光感応部分）は、光入射方向から見て長方形状を呈しており、1画素において2つの領域41, 42が互いに長辺が隣接して形成されている。領域41（光感応部分<sub>12mn</sub>）と領域42（光感応部分<sub>13mn</sub>）とは、第2の方向において交互に配列されている。図4に示されるように、1画素あたり第1の方向と第2の方向の第2導電型半導体領域の面積が異なっていても、画素間で夫々の方向ごとに一定であればよい。すなわち、同一の方向に延びる全ての配線で各々に接続されている光感応領域の総面積が同じであればよい。

【0070】 図5に示された第2導電型半導体領域（光感応部分）は、略三角形状を呈した一方の領域41が第1の方向に連続して形成されている。他方の領域42は略三角形状を呈しており、各画素<sub>11mn</sub>間で独立して形成されている。

領域41（光感応部分<sub>12mn</sub>）と領域42（光感応部分<sub>13mn</sub>）とは、第2の方向において交互に配列されている。なお、一方の領域41を第1の方向に連続して形成した場合、必ずしも第1配線44を設ける必要はないが、直列抵抗の増加に伴って読み出し速度が低下することが考えられることから、第1配線44にて各領域41を電気的に接続するのが好ましい。

【0071】 図6に示された第2導電型半導体領域（光感応部分）は、1画素あたり4つの領域41a, 41b, 42a, 42bからなり、対角に位置する領域を対として、第1配線44あるいは第2配線47にて電気的に接続されている。領域41（光感応部分<sub>12mn</sub>）と領域42（光感応部分<sub>13mn</sub>）とは、第1の方向及び第2の方向において交互に配列されている。また、領域41（光感応部分<sub>12mn</sub>）と領域42（光感応部分<sub>13mn</sub>）とは、第3の方向及び第4の方向において

交互に配列されている。

【0072】 図7に示された第2導電型半導体領域（光感応部分）は、2つの櫛状の領域41，42がお互い噛み合うように形成されている。

【0073】 図8に示された第2導電型半導体領域（光感応部分）は、光入射方向から見て4角形以上の多角形状（たとえば8角形状）を呈しており、1画素において1辺が隣接して形成されている。そして、領域41と領域42とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設されており、光入射方向から見てハニカム状に配列されている。すなわち、領域41（光感応部分 $12_{mn}$ ）と領域42（光感応部分 $13_{mn}$ ）とは、第3の方向及び第4の方向において交互に配列されている。

【0074】 続いて、図9及び図10に基づいて、第1信号処理回路20及び第2信号処理回路30の構成について説明する。図9は、第1信号処理回路を示す概略構成図であり、図10は、第2信号処理回路を示す概略構成図である。

【0075】 第1信号処理回路20は、図9に示されるように、第1積分回路110と、第1タイミング制御回路120と、第1サンプルアンドホールド回路（以下、第1S/H回路と称する）130と、第1最大値検出回路140と、第1シフトレジスタ150と、第1スイッチ素子160と、第1レベルシフト回路170と、第1A/D変換回路180とを有している。

【0076】 各第1積分回路110は、第1の方向に配列された複数の画素 $11_1 \sim 11_{1N}$ ,  $11_{21} \sim 11_{2N}$ , ...,  $11_{M1} \sim 11_{MN}$ 間において電気的に接続された一方の光感応部分 $12_{mn}$ 群（一方の第2導電型半導体領域41からなり、第1の方向に長く延びるM列の光感応部）に対応して設けられ、対応する一方の光感応部分 $12_{mn}$ 群からの電流出力を電圧出力に変換して、当該電圧出力を出力する。第1積分回路110は、図11に示されるように、入力端子と出力端子との間に互いに並列にアンプ $A_1$ 、容量素子 $C_1$ およびスイッチ素子 $SW_1$ が接続されている。第1積分回路110は、スイッチ素子 $SW_1$ が閉じているときには、容量素子 $C_1$

を放電して初期化する。一方、第1積分回路110は、スイッチ素子SW<sub>1</sub>が開いているときには、入力端子に入力した電荷を容量素子C<sub>1</sub>に蓄積して、その蓄積された電荷の量に応じた電圧出力を出力端子から出力する。スイッチ素子SW<sub>1</sub>は、第1タイミング制御回路120から出力されるReset信号に基づいて開閉する。

5 第1タイミング制御回路120は、スイッチ素子SW<sub>1</sub>の開閉を制御するReset信号、及び、後述するスイッチ素子SW<sub>3</sub>の開閉を制御するHold信号を出力する。

【0077】 第1S/H回路130は、第1積分回路110に対応して設けられ、対応する第1積分回路110から出力される電圧出力を保持して出力する。

10 第1S/H回路130は、図12に示されるように、入力端子と出力端子との間に順にスイッチ素子SW<sub>3</sub>およびアンプA<sub>3</sub>を有し、スイッチ素子SW<sub>3</sub>とアンプA<sub>3</sub>との接続点が容量素子C<sub>3</sub>を介して接地されている。第1S/H回路130は、スイッチ素子SW<sub>3</sub>が閉じているときに第1積分回路110から出力された電圧出力を容量素子C<sub>3</sub>に記憶し、スイッチ素子SW<sub>3</sub>が開いた後も、容量素子C<sub>3</sub>の電圧出力を保持して、その電圧出力をアンプA<sub>3</sub>を介して出力する。スイッチ素子SW<sub>3</sub>は、第1タイミング制御回路120から出力されるHold信号に基づいて開閉する。

15 【0078】 第1スイッチ素子160は、第1シフトレジスタ150により制御されて順次に閉じ、第1S/H回路130から出力される電圧出力を第1レベルシフト回路170に順次に入力させる。第1シフトレジスタ150は、第1タイミング制御回路120から出力される信号（図示せず）によりその動作が制御されて、第1スイッチ素子160の開閉を制御する信号shift(H<sub>m</sub>)を出力する。

20 【0079】 ここで、図15A～図15Hに基づいて、第1積分回路110と、第1タイミング制御回路120と、第1S/H回路130と、第1シフトレジスタ150と、第1スイッチ素子160の動作について説明する。図15A～図15Hは、第1積分回路と、第1タイミング制御回路と、第1S/H回路と、第1

シフトレジスタと、第1スイッチ素子の動作を説明するためのタイミングチャートである。

【0080】 Reset信号がLowとなることにより(図15A参照)、各第1積分回路110のスイッチ素子SW<sub>1</sub>が開く。スイッチ素子SW<sub>1</sub>が開かれると、対応する一方の光感応部分12<sub>mn</sub>群から出力された電荷が容量素子C<sub>1</sub>に蓄積されていき、第1積分回路110の出力端子から出力される電圧出力は次第に大きくなっていく(図15B参照)。そして、Hold信号がHighとなり(図15C参照)、各第1S/H回路130のスイッチ素子SW<sub>3</sub>が閉じると、各第1積分回路110の出力端子から出力される電圧出力は、各第1S/H回路130のスイッチ素子SW<sub>3</sub>を経て、それぞれの第1S/H回路130の容量素子C<sub>3</sub>に保持されていく。Hold信号がLowとなってスイッチ素子SW<sub>3</sub>が開いた後も、各第1S/H回路130の容量素子C<sub>3</sub>に保持された電圧出力は、アンプA<sub>3</sub>から出力される(図15D参照)。その後、Reset信号がHighとなることにより、各第1積分回路110のスイッチ素子SW<sub>1</sub>が閉じて、容量素子C<sub>1</sub>が放電され初期化される。

【0081】 続いて、第1シフトレジスタ150から、所定の期間に対応したパルス幅を有する信号shift(H<sub>m</sub>)が順次出力される(図15E～図15G参照)。第1シフトレジスタ150から対応する第1スイッチ素子160にshift(H<sub>m</sub>)が出力されると、第1スイッチ素子160が順次閉じ、対応する第1S/H回路130のアンプA<sub>3</sub>から出力された電圧出力が第1レベルシフト回路170に順次送られる(図15H参照)。

【0082】 このように、各第1S/H回路130(第1積分回路110)から、第1の方向に配列された複数の画素11<sub>11</sub>～11<sub>1N</sub>、11<sub>21</sub>～11<sub>2N</sub>、…、11<sub>M1</sub>～11<sub>MN</sub>間において電気的に接続された一方の光感応部分12<sub>mn</sub>群にて蓄積されて電荷(電流出力)に対応した電圧出力H<sub>out</sub>が、図16にも示されるように、対応する一方の光感応部分12<sub>mn</sub>群毎に順次時系列データとして第1レベルシフト回路170に出力される。この時系列データは、第2の方向での輝度プロファ

イル（アナログデータ）を示すものである。

【0083】 再び、図9を参照する。第1最大値検出回路140は、第1S/H回路130それぞれから出力される電圧の最大値を検出する。第1最大値検出回路140は、図13に示されるように、NMOSトランジスタ $T_1 \sim T_m$ 、抵抗器 $R_1 \sim R_3$ および差動アンプ $A_4$ を備える。各トランジスタ $T_m$ のソース端子は接地される。各トランジスタ $T_m$ のドレイン端子は、抵抗器 $R_{dd}$ を介して電源電圧 $V_{dd}$ に接続されるとともに、抵抗器 $R_1$ を介して差動アンプ $A_4$ の反転入力端子に接続されている。各トランジスタ $T_m$ のゲート端子は、第1S/H回路130の出力端子と接続されており、第1S/H回路130から出力される電圧出力が入力する。また、差動アンプ $A_4$ の反転入力端子と出力端子との間には抵抗器 $R_2$ が設けられ、差動アンプ $A_4$ の非反転入力端子は接地されている。この第1最大値検出回路140では、第1S/H回路130から出力された電圧出力がトランジスタ $T_m$ のゲート端子に入力され、各電圧出力のうちの最大値に応じた電位がトランジスタ $T_m$ のドレイン端子に現れる。そして、そのドレイン端子の電位は、抵抗器 $R_1$ および $R_2$ それぞれの抵抗値の比に応じた増幅率で差動アンプ $A_4$ により増幅され、その増幅された電圧出力の値が最大電圧 $V_{max1}$ として出力端子から第1レベルシフト回路170へ出力される。

【0084】 第1レベルシフト回路170は、第1S/H回路130それぞれから順次出力される電圧出力 $H_{out}$ のレベルをシフトする。第1レベルシフト回路170は、図14に示されるように、抵抗器 $R_3 \sim R_{10}$ および差動アンプ $A_5$ 、 $A_6$ を備える。差動アンプ $A_5$ の反転入力端子には、抵抗器 $R_3$ を介してシフト電圧出力 $V_{shift1}$ が入力されている。差動アンプ $A_5$ の非反転入力端子には、第1最大値検出回路140からの出力が抵抗器 $R_5$ を介して接続されており、第1最大値検出回路140からの出力（最大電圧出力 $V_{max1}$ ）が入力されている。差動アンプ $A_5$ の反転入力端子と出力端子との間には抵抗器 $R_4$ が設けられ、差動アンプ $A_5$ の非反転入力端子は抵抗器 $R_6$ を介して接地されている。差動アンプ $A_5$ から出力される

電圧出力は、抵抗器R<sub>3</sub>～R<sub>6</sub>が同じ値を有するとき、最大電圧出力V<sub>max1</sub>からシフト電圧出力V<sub>shift1</sub>を減じた電圧出力（V<sub>max1</sub>－V<sub>shift1</sub>）となる。

**【0085】** 差動アンプA<sub>5</sub>の出力端子は、抵抗器R<sub>7</sub>を介して差動アンプA<sub>6</sub>の反転入力端子に接続されている。差動アンプA<sub>6</sub>の非反転入力端子には、第1スイッチ素子160（第1S/H回路130）それぞれの出力が抵抗器R<sub>9</sub>を介して接続されており、上記電圧出力H<sub>out</sub>が入力されている。差動アンプA<sub>6</sub>の反転入力端子と出力端子との間には抵抗器R<sub>8</sub>が設けられ、差動アンプA<sub>6</sub>の非反転入力端子は抵抗器R<sub>10</sub>を介して接地されている。差動アンプA<sub>6</sub>から出力された電圧出力は、第1S/H回路130それぞれから第1スイッチ素子160を介して順次出力された電圧出力H<sub>out</sub>から電圧出力（V<sub>max1</sub>－V<sub>shift1</sub>）を減じた電圧出力V<sub>ADIN1</sub>（＝H<sub>out</sub>－V<sub>max1</sub>+V<sub>shift1</sub>）となり、この電圧出力V<sub>ADIN1</sub>が、第1A/D変換回路180に出力される。これにより、第1S/H回路130それぞれから順次出力された電圧出力H<sub>out</sub>の値が電圧出力（V<sub>max1</sub>－V<sub>shift1</sub>）に対応した所定の値の分だけ減じられて、シフトすることとなる。

**【0086】** 以上のことから、第1最大値検出回路140にて検出された最大値（V<sub>max1</sub>）から当該最大値（V<sub>max1</sub>）より所定値（V<sub>shift1</sub>）小さい値までの範囲が、図16に示されるように、A/D変換範囲ADR1として設定されることとなる。なお、上記シフト電圧出力V<sub>shift1</sub>の値は、最大値（最大電圧出力V<sub>max1</sub>）より小さい値である。また、本光検出装置1はスポット光を照射する光源とともに用いられることから、スポット光の光強度は予め分かっており、第1最大値検出回路140にて検出される最大値は予測できる。したがって、上記シフト電圧出力V<sub>shift1</sub>の値は、最大値より小さい値に予め設定することが可能である。

**【0087】** 第1A/D変換回路180は、第1レベルシフト回路170の差動アンプA<sub>6</sub>から出力された電圧出力V<sub>ADIN1</sub>（アナログ値）を順次入力し、その電圧出力V<sub>ADIN1</sub>をデジタル値に変換し、そのデジタル値を出力する。このデジタル値は、図17に示されるように、第2の方向での輝度プロファイル（デジタルデ

ータ)を表す出力となる。なお、第1 A/D変換回路180のA/D変換範囲は、0からシフト電圧出力 $V_{shift1}$ までの電圧範囲となる。

【0088】 第2信号処理回路30は、図10に示されるように、第2積分回路210と、第2タイミング制御回路220と、第2サンプルアンドホールド回路(以下、第2S/H回路と称する)230と、第2最大値検出回路240と、第2シフトレジスタ250と、第2スイッチ素子260と、第2レベルシフト回路270と、第2A/D変換回路280とを有している。

【0089】 各第2積分回路210は、第2の方向に配列された複数の画素 $1_{11} \sim 1_{1M1}$ ,  $1_{12} \sim 1_{1M2}$ , ...,  $1_{1N} \sim 1_{1MN}$ において電気的に接続された他方の光感応部分 $1_{3mn}$ 群(他方の第2導電型半導体領域42からなり、第2の方向に長く延びるN行の光感応部)に対応して設けられ、対応する他方の光感応部分 $1_{3mn}$ 群からの電流出力を電圧出力に変換して、当該電圧出力を出力する。第2積分回路210は、図11に示された第1積分回路110と同等の構成を有し、入力端子と出力端子との間に互いに並列にアンプ、容量素子およびスイッチ素子が接続されている。第2積分回路210のスイッチ素子は、第2タイミング制御回路220から出力されるReset信号に基づいて開閉する。第2タイミング制御回路120は、第2積分回路210のスイッチ素子の開閉を制御するReset信号、及び、後述する第2S/H回路230のスイッチ素子の開閉を制御するHold信号を出力する。

【0090】 第2S/H回路230は、第2積分回路210に対応して設けられ、対応する第2積分回路210から出力される電圧出力を保持して出力する。第2S/H回路230は、図12に示された第1S/H回路130と同等の構成を有し、入力端子と出力端子との間に順にスイッチ素子およびアンプを有し、スイッチ素子とアンプとの接続点が容量素子を介して接地されている。スイッチ素子は、第2タイミング制御回路220から出力されるHold信号に基づいて開閉する。

【0091】 第2スイッチ素子260は、第2シフトレジスタ250により制御されて順次に閉じ、第2S/H回路230から出力される電圧出力を第2レベルシフト回路270に順次に入力させる。第2シフトレジスタ250は、第2タイミング制御回路220から出力される信号（図示せず）によりその動作が制御され、第2スイッチ素子260の開閉を制御する信号shift ( $V_n$ ) を出力する。

【0092】 ここで、図18A～図18Hに基づいて、第2積分回路210と、第2タイミング制御回路220と、第2S/H回路230と、第2シフトレジスタ250と、第2スイッチ素子260の動作について説明する。図18A～図18Hは、第2積分回路と、第2タイミング制御回路と、第2S/H回路と、第2シフトレジスタと、第2スイッチ素子の動作を説明するためのタイミングチャートである。

【0093】 Reset信号がLowとなることにより（図18A参照）、各第2積分回路210のスイッチ素子が開く。スイッチ素子が開かれると、対応する他方の光感応部分 $13_{mn}$ 群から出力された電荷が容量素子に蓄積されていく、第2積分回路210の出力端子から出力される電圧出力は次第に大きくなっていく（図18B参照）。そして、Hold信号がHighとなり（図18C参照）、各第2S/H回路230のスイッチ素子が閉じると、各第2積分回路210の出力端子から出力される電圧出力は、各第2S/H回路230のスイッチ素子を経て、それぞれの第2S/H回路230の容量素子に保持されていく。Hold信号がLowとなってスイッチ素子が開いた後も、各第2S/H回路230の容量素子に保持された電圧出力は、アンプから出力される（図18D参照）。その後、Reset信号がHighとなることにより、各第2積分回路210のスイッチ素子が閉じて、容量素子が放電され初期化される。

【0094】 続いて、第2シフトレジスタ250から、所定の期間に対応したパルス幅を有する信号shift ( $V_n$ ) が順次出力される（図18E～図18

G参照)。第2シフトレジスタ250から対応する第2スイッチ素子260に $s_h i_f t (V_n)$ が出力されると、第2スイッチ素子260が順次閉じ、対応する第2S/H回路230のアンプから出力された電圧出力が第2レベルシフト回路270に順次送られる(図18H参照)。

【0095】このように、各第2S/H回路230(第2積分回路210)から、第1の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$ ,  $11_{12} \sim 11_{M2}$ , ...,  $11_{1N} \sim 11_{MN}$ 間において電気的に接続された他方の光感応部分 $13_m$ 群にて蓄積されて電荷(電流出力)に対応した電圧出力 $V_{out}$ が、図19にも示されるように、対応する他方の光感応部分 $13_m$ 群毎に順次時系列データとして第2レベルシフト回路270に出力される。この時系列データは、第1の方向での輝度プロファイル(アナログデータ)を示すものである。

【0096】再び、図10を参照する。第2最大値検出回路240は、第2S/H回路230それぞれから出力される電圧の最大値を検出する。第2最大値検出回路240は、図13に示された第1最大値検出回路140と同等の構成を有し、NMOSトランジスタ、抵抗器および差動アンプを備える。各トランジスタのソース端子は接地され、各トランジスタのドレイン端子は、抵抗器を介して電源電圧に接続されるとともに、抵抗器を介して差動アンプの反転入力端子に接続されている。各トランジスタのゲート端子は、第2S/H回路230の出力端子と接続されており、第2S/H回路230から出力される電圧出力が入力する。また、差動アンプの反転入力端子と出力端子との間には抵抗器が設けられ、差動アンプの非反転入力端子は接地されている。第2最大値検出回路240からは、第2S/H回路230それぞれから出力される電圧出力の最大値に対応する最大電圧出力 $V_{max2}$ が第2レベルシフト回路270へ出力される。

【0097】第2レベルシフト回路270は、第2S/H回路230それぞれから順次出力される電圧出力 $V_{out}$ のレベルをシフトする。第2レベルシフト回路270は、図14に示された第1レベルシフト回路170と同等の構成を有し、

5

抵抗器および差動アンプを備える。この第2レベルシフト回路270からは、第2S/H回路230それぞれから第2スイッチ素子260を介して順次出力された電圧出力 $V_{out}$ から電圧出力( $V_{max2} - V_{shift2}$ )を減じた電圧出力 $V_{ADIN2}$ (= $V_{out} - V_{max2} + V_{shift2}$ )が、第2A/D変換回路280に出力される。これにより、第2S/H回路230それぞれから順次出力された電圧出力 $V_{out}$ の値が電圧出力( $V_{max2} - V_{shift2}$ )に対応した所定の値の分だけ減じられて、シフトすることとなる。

10

【0098】以上のことから、第2最大値検出回路240にて検出された最大値( $V_{max2}$ )から当該最大値( $V_{max2}$ )より所定値( $V_{shift2}$ )小さい値までの範囲が、図19に示されるように、A/D変換範囲ADR2として設定されることとなる。なお、上記シフト電圧出力 $V_{shift2}$ の値は、最大値(最大電圧出力 $V_{max2}$ )より小さい値である。また、本光検出装置1はスポット光を照射する光源とともに用いられることから、スポット光の光強度は予め分かっており、第2最大値検出回路240にて検出される最大値は予測できる。したがって、上記シフト電圧出力 $V_{shift2}$ の値も、最大値より小さい値に予め設定することが可能である。

15

【0099】第2A/D変換回路280は、第2レベルシフト回路270から出力された電圧出力 $V_{ADIN2}$ (アナログ値)を順次入力し、その電圧出力 $V_{ADIN2}$ をデジタル値に変換し、そのデジタル値を出力する。このデジタル値は、図20に示されるように、第1の方向での輝度プロファイル(デジタルデータ)を表す出力となる。なお、第2A/D変換回路280のA/D変換範囲は、0からシフト電圧出力 $V_{shift2}$ までの電圧範囲となる。

20

25

【0100】以上のように、本実施形態の光検出装置1においては、1つの画素 $11_{mn}$ に入射した光は当該画素 $11_{mn}$ を構成する複数の光感応部分 $12_{mn}$ ,  $13_{mn}$ それぞれに、光強度に応じた電流が光感応部分 $12_{mn}$ ,  $13_{mn}$ 毎に出力される。そして、一方の光感応部分 $12_{mn}$ 同士が2次元配列における第1の方向に配列された複数の画素 $11_{11} \sim 11_{1N}$ ,  $11_{21} \sim 11_{2N}$ , ...,  $11_{M1} \sim 11_{MN}$ にわたって

電気的に接続されているので、一方の光感応部分  $1_2_{mn}$  から出力された電流出力は第 1 の方向に送られる。また、他方の光感応部分  $1_3_{mn}$  同士が 2 次元配列における第 2 の方向に配列された複数の画素  $1_1_{11} \sim 1_1_{M1}, 1_1_{12} \sim 1_1_{M2}, \dots, 1_1_{1N} \sim 1_1_{MN}$  にわたって電気的に接続されているので、他方の光感応部分  $1_3_{mn}$  から出力された電流出力は第 2 の方向に送られる。このように、一方の光感応部分  $1_2_{mn}$  から出力された電流出力は第 1 の方向に送られるとともに、他方の光感応部分  $1_3_{mn}$  から出力された電流出力は第 2 の方向に送られることから、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1 画素に複数の光感応部分  $1_2_{mn}, 1_3_{mn}$  を配設するという極めて簡素な構成にて、入射した光の 2 次元位置を高速に検出することができる。

【0101】 また、本実施形態の光検出装置 1において、各光感応部分  $1_2_{mn}, 1_3_{mn}$  は、半導体基板 40 部分と第 2 導電型半導体領域 41, 42 とを含み、第 2 導電型半導体領域 41, 42 は、光入射方向から見て略三角形状を呈しており、1 画素において互いに一辺が隣接して形成されている。これにより、複数の光感応部分  $1_2_{mn}, 1_3_{mn}$  を 1 画素内に配設する際に、各光感応部分  $1_2_{mn}, 1_3_{mn}$  (第 2 導電型半導体領域 41, 42) の面積が減少するのを抑制することができる。

【0102】 また、本実施形態の光検出装置 1において、第 2 導電型半導体領域 41, 42 は、光入射方向から見て略長方形形状を呈しており、1 画素において長辺が隣接して形成されている。これにより、複数の光感応部分  $1_2_{mn}, 1_3_{mn}$  を 1 画素内に配設する際に、各光感応部分  $1_2_{mn}, 1_3_{mn}$  (第 2 導電型半導体領域 41, 42) の面積が減少するのを抑制することができる。

【0103】 また、本実施形態の光検出装置 1において、第 2 導電型半導体領域 41, 42 は、光入射方向から見て 4 角形以上の多角形状を呈しており、1 画素において 1 辺が隣接して形成されている。これにより、複数の光感応部分  $1_2_{mn}, 1_3_{mn}$  (第 2 導電型半導体領域 41, 42) を 1 画素内に配設する際に、各光

感應部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$  の面積が減少するのを抑制することができる。また、各光感應部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$  の面積に対する周囲長は減ることとなり、単位面積当たりに換算した暗電流が低減される。なお、4角形以上の多角形状として、菱形形状を採用してもよい。

【0104】 また、本実施形態の光検出装置1において、第2導電型半導体領域41, 42とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設されている。これにより、一方の光感應部分  $1\ 2_{mn}$  群及び他方の光感應部分  $1\ 3_{mn}$  群において、各光感應部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$  群の中心部分に対応する光感應部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$  が集中することとなり、解像度を向上することができる。

【0105】 また、第2導電型半導体領域41, 42は、光入射方向から見てハニカム状に配列されている。これにより、複数の光感應部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$  (第2導電型半導体領域41, 42) を1画素内に配設する際に、各光感應部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$  の面積が減少するのをより一層抑制することができる。また、幾何学的対称性が高く、第2導電型半導体領域41, 42 (光感應部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$ ) を形成するために用いるマスクが位置ずれしたことによる不均一性が抑制できる。

【0106】 また、本実施形態の光検出装置1においては、第1配線44が、画素  $1\ 1_{mn}$  間を第1の方向に延びて設けられており、第2配線47が、画素  $1\ 1_{mn}$  間を第2の方向に延びて設けられている。これにより、それぞれの配線44, 47により光感應部分  $1\ 2_{mn}$ ,  $1\ 3_{mn}$  (第2導電型半導体領域41, 42) への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

【0107】 また、本実施形態の光検出装置1においては、第1最大値検出回路140により検出された最大値 (最大電圧出力  $V_{max1}$ ) から当該最大値より所定値 (シフト電圧出力  $V_{shift1}$ ) 小さい値までの範囲がA/D変換範囲とされ、第1S/H回路130 (第1積分回路110) それこれから出力される電圧出力が上記A/D変換範囲においてデジタル値に変換されるので、上記最大値より所定値 (シフト電圧出力  $V_{shift1}$ ) 小さい値より小さい電圧出力は「0」に変換されるこ

ととなる。これにより、光感応領域 10 に背景光が入射した場合でも、背景光成分を除去した状態で、一方の光感応部分 12<sub>mn</sub> からの電流出力を A/D 変換することができる。また、第 2 最大値検出回路 240 により検出された最大値（最大電圧出力  $V_{max2}$ ）から当該最大値より所定値（シフト電圧出力  $V_{shift2}$ ）小さい値までの範囲が A/D 変換範囲に設定され、第 2 S/H 回路 230（第 2 積分回路 210）それぞれから出力される電圧出力が上記 A/D 変換範囲においてデジタル値に変換されるので、上記最大値より所定値（シフト電圧出力  $V_{shift2}$ ）小さい値より小さい電圧出力は「0」に変換されることとなる。これにより、背景光成分を除去した状態で、他方の光感応部分 13<sub>mn</sub> からの電流出力を A/D 変換することができる。これらの結果、入射した光の 2 次元位置を少ない計算量で極めて精度良く検出することができる。

【0108】 また、本実施形態の光検出装置 1 においては、第 1 最大値検出回路 140 により検出された最大値（最大電圧出力  $V_{max1}$ ）から所定の値（シフト電圧出力  $V_{shift1}$ ）を減じて求めた電圧出力 ( $V_{max1} - V_{shift1}$ ) を第 1 S/H 回路 130（第 1 積分回路 110）それぞれから順次出力される電圧出力  $H_{out}$  から減じた電圧出力  $V_{ADIN1}$  を第 1 A/D 変換回路 180 に出力する第 1 レベルシフト回路 170 と、第 2 最大値検出回路 240 により検出された最大値（最大電圧出力  $V_{max2}$ ）から所定の値（シフト電圧出力  $V_{shift2}$ ）を減じて求めた電圧出力 ( $V_{max2} - V_{shift2}$ ) を第 2 S/H 回路 230（第 2 積分回路 210）それぞれから順次出力される電圧出力  $H_{out}$  から減じた電圧出力  $V_{ADIN2}$  を第 2 A/D 変換回路 280 に出力する第 2 レベルシフト回路 270 とを有している。これにより、上記 A/D 変換範囲を簡易且つ確実に設定することができる。

【0109】 また、各光感応部分 12<sub>mn</sub>, 13<sub>mn</sub> 群に対応して第 1 積分回路 110 及び第 2 積分回路 210 が設けられているので、各光感応部分 12<sub>mn</sub>, 13<sub>mn</sub> 群から同じタイミングにて電荷を蓄積でき、それらの電荷量を電圧出力に変換することができる。

【0110】 これらの結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度且つ高速にて得ることができる。なお、上述した第1及び第2積分回路110, 210、第1及び第2タイミング制御回路120, 220、第1及び第2S/H回路130, 230、第1及び第2最大値検出回路140, 240、第1及び第2シフトレジスタ150, 250、第1及び第2スイッチ素子160, 260、第1及び第2A/D変換回路180, 280等の動作については、本出願人による特開2001-36128号公報等に示されている。

【0111】 例えば、光感応領域10の画素 $1_{mn}$ を $7.8\mu\text{m}$ ピッチ、第1の方向256チャンネル及び第2の方向256チャンネルとし、この光感応領域10に $\phi 50\mu\text{m}$ のスポット光が入射した場合には、スポット光が入射する光感応部分群は7チャンネル程度であり、スポット光が入射しない光感応部分群は249チャンネル程度となる。スポット光が入射しない画素には、スポット光よりは光強度は低いものの、蛍光灯や太陽等からの光が背景光として入射するおそれがあり、スポット光の入射位置の検出精度に悪影響を与えることとなる。しかしながら、光検出装置1では、上述したように背景光成分を除去することができるので、スポット光の入射位置の検出精度を高めることができる。

【0112】 特に、光検出装置1は、スポット光の重心位置を演算する場合に有効であり。これは、スポット光の重心位置を演算する場合、各画素からの出力（第1及び第2S/H回路130, 230（第1及び第2積分回路110, 210）それぞれから出力される電圧出力）の最大値付近のデータのみが必要とされるからである。

【0113】 続いて、図21及び図22に基づいて、第1信号処理回路及び第2信号処理回路の変形例の構成について説明する。図21は、第1信号処理回路の変形例を示す概略構成図であり、図22は、第2信号処理回路の変形例を示す概略構成図である。図21に示された第1信号処理回路320は、第1反転回路

を有している点で上記第1信号処理回路20と相違する。また、図22に示された第2信号処理回路330は、第2反転回路を有している点で上記第2信号処理回路30と相違する。

【0114】 第1信号処理回路320は、図21に示されるように、第1積分回路110と、第1タイミング制御回路120と、第1S/H回路130と、第1最大値検出回路140と、第1シフトレジスタ150と、第1スイッチ素子160と、第1レベルシフト回路170と、第1A/D変換回路180と、第1反転回路190を有している。

【0115】 第1反転回路190は、各第1S/H回路130の後段に設けられ、各第1S/H回路130から出力された電圧出力を反転して出力し、第1最大値検出回路140及び第1スイッチ素子160に入力している。これにより、第1最大値検出回路140は、各第1S/H回路130から出力された電圧出力の最小値を検出する最小値検出回路として機能することとなる。また、第1A/D変換回路180では、第1最大値検出回路140にて検出された最大値( $V_{max1}$ )から当該最大値( $V_{max1}$ )より所定値( $V_{shift1}$ )小さい値までの範囲、即ち各第1S/H回路130(第1積分回路110)から出力された電圧出力の最小値から当該最小値より所定値( $V_{shift1}$ )大きい値までの範囲がA/D変換範囲に設定されることとなる。

【0116】 第2信号処理回路330は、図22に示されるように、第2積分回路210と、第2タイミング制御回路220と、第2S/H回路230と、第2最大値検出回路240と、第2シフトレジスタ250と、第2スイッチ素子260と、第2レベルシフト回路270と、第2A/D変換回路280と、第2反転回路290を有している。

【0117】 第2反転回路290は、各第2S/H回路230の後段に設けられ、各第2S/H回路230から出力された電圧出力を反転して出力し、第2最大値検出回路240及び第2スイッチ素子260に入力している。これにより、

第2最大値検出回路240は、各第2S/H回路130から出力された電圧出力の最小値を検出する最小値検出回路として機能することとなる。また、第2A/D変換回路280では、第2最大値検出回路240にて検出された最大値( $V_{max2}$ )から当該最大値( $V_{max2}$ )より所定値( $V_{shift2}$ )小さい値までの範囲、即ち各第2S/H回路230(第2積分回路210)から出力された電圧出力の最小値から当該最小値より所定値( $V_{shift2}$ )大きい値までの範囲がA/D変換範囲に設定されることとなる。

【0118】以上のように、本変形例においては、第1最大値検出回路140にて検出された最大値( $V_{max1}$ )から当該最大値( $V_{max1}$ )より所定値( $V_{shift1}$ )小さい値までの範囲、即ち各第1S/H回路130(第1積分回路110)から出力された電圧出力の最小値から当該最小値より所定値( $V_{shift1}$ )大きい値までの範囲がA/D変換範囲とされ、第1S/H回路130(第1積分回路110)それぞれから出力される電圧出力が上記A/D変換範囲においてデジタル値に変換されるので、上記最小値より所定値( $V_{shift1}$ )大きい値より大きい電圧出力は「0」に変換されることとなる。これにより、光感應領域10に注目すべき点より明るい背景光が入射した場合でも、注目すべき点より明るい背景光成分を除去した状態で、一方の光感應部分12<sub>mn</sub>からの電流出力をA/D変換することができる。また、第2最大値検出回路240にて検出された最大値( $V_{max2}$ )から当該最大値( $V_{max2}$ )より所定値( $V_{shift2}$ )小さい値までの範囲、即ち各第2S/H回路230(第2積分回路210)から出力された電圧出力の最小値から当該最小値より所定値( $V_{shift2}$ )大きい値までの範囲がA/D変換範囲とされ、第2積分回路それぞれから出力される電圧出力が上記A/D変換範囲においてデジタル値に変換されるので、上記最小値より所定値( $V_{shift2}$ )大きい値より大きい電圧出力は「0」に変換されることとなる。これにより、注目すべき点より明るい背景光成分を除去した状態で、他方の光感應部分13<sub>mn</sub>からの電流出力をA/D変換することができる。これらの結果、入射した光の2次元位置を極めて精度良く検出すること

ができる。

【0119】 なお、上記変形例の光検出装置は、反射率の異なる箇所の位置検出、例えば白い被写体に付いている黒い点の位置検出等に用いることができる。

【0120】 次に、図23に基づいて、上記実施形態の光検出装置1を反射光の位置検出システムに用いた例を説明する。  
5

【0121】 位置検出システムPS1を図23に示す。位置検出システムPS1は、表示部410及び光検出部420を有したゲーム筐体400と、銃を模したコントローラ型発光装置430とを備える。表示部410には、ゲームの内容であるアニメーション画像等が出力される。位置検出システムPS1は、例えば、ユーザURが銃を模した操作入力装置としてのコントローラ型発光装置430を用いて、表示部410に表示される画像に向かって照準を定めて射撃をするゲーム装置を構成している。  
10

【0122】 コントローラ型発光装置430は、発光素子としてLED等を備えたものであり、ユーザURによってゲーム筐体400の表示部410に対向される際に、表示部410（表示されている画像）に向けてスポット光SL1を出射する。コントローラ型発光装置430から出射して表示部410に照射されたスポット光SL1は、当該表示部410にて反射し、その反射光SL2が光検出部420に入射する。光検出部420は、スポット光の反射光SL2の入射位置（二次元位置）を検出する。これにより、コントローラ型発光装置430が向けられている方向を得ることができる。  
15  
20

【0123】 光検出部420は、上記光検出装置1を用いたものであり、図24に示される構成を有している。光検出部420は、ICチップ421を有しており、このICチップ421に、光感應領域10、第1積分回路110、第1S/H回路130、第1最大値検出回路140、第1シフトレジスタ150、第1スイッチ素子160、第1レベルシフト回路170、第1A/D変換回路180、第2積分回路210、第2S/H回路230、第2最大値検出回路240、第2  
25

5

シフトレジスタ 250、第2スイッチ素子 260、第2レベルシフト回路 270、第2A/D変換回路 280及びタイミング制御回路 422が形成されている。タイミング制御回路 422は、第1タイミング制御回路 120及び第2タイミング制御回路 220を含んでいる。また、ICチップ 421には、当該ICチップ 421に信号等を入出力するための電極パット 423も形成されている。光検出部 420は、コントローラ型発光装置 430から照射されるスポット光の反射光 SL2の光感応領域 10における第1の方向及び第2の方向での輝度プロファイルを演算処理して、出力する。

10 【0124】 次に、図25に基づいて、上記実施形態の光検出装置1を直接光の位置検出システムに用いた例を説明する。

15

【0125】 位置検出システムPS2を図25に示す。位置検出システムPS2は、レーザプリンタに組み込まれたものであり、半導体レーザ504から所定の指向性で発散するように出力されたレーザビームは、コリメート光学系512によって、平行なレーザビームに変換され、シリンドーレンズ513を介して回転多面鏡（ポリゴンスキャナ）514上に集光する。回転多面鏡（偏向装置）514によって偏向されるように反射されたレーザビームは、レンズ515によって、移動速度補正が行われ、シリンドーレンズ516を介して感光ドラム517上に集光する。レーザビームの主走査線（中心基準線）上にフォトセンサPDが配置されており、レーザビームをモニタする。このフォトセンサPDは、上述の上記光検出装置1であり、半導体レーザ504から照射されるレーザビームの直接光の光感応領域10における第1の方向及び第2の方向での輝度プロファイルを演算処理して、出力する。

20

【0126】 フォトセンサPDの出力は、タイミング制御回路523に入力される。タイミング制御回路523には画像信号が入力信号として入力されており、半導体レーザ504の発光を画像信号に対応づけて制御する。なお、タイミング制御回路523は、感光ドラム517の回転速度も制御している。

5

【0127】 本実施形態の光検出装置1は、上記反射光あるいは直接光の位置検出システム以外にも、反射率の異なる箇所の位置検出システムに用いることができる。例えば、特開2001-134034号公報や特開2002-221840号公報に開示されたカラーレジストレーションの検知装置におけるパターン検出器(受光センサ)に用いることができる。

10

【0128】 本発明は、前述した実施形態に限定されるものではない。たとえば、シフトレジスタを用いる代わりに、各光感応部分 $12_{mn}$ ,  $13_{mn}$ (第2導電型半導体領域41, 42)を均一な抵抗線で接続して、光の入射に伴って発生した電荷を抵抗線に流れ込んだ位置と当該抵抗線それぞれの端部との距離に反比例するように抵抗分割して抵抗線の端部から取り出し、当該端部からの電流出力に基づいて光の入射位置を求めるようにしてもよい。

15

20

【0129】 また、前述した実施形態においては、1画素を複数の光感応部分で構成しているが、1画素を一つの光感応部分で構成してもよい。たとえば、図26に示されるように、光感応領域10は、第1の方向にわたって互いに電気的に接続される複数の第1光感応部分 $12_{mn}$ と第2の方向にわたって互いに電気的に接続される複数の第2光感応部分 $13_{mn}$ とを含み、複数の第1光感応部分 $12_{mn}$ と複数の第2光感応部分 $13_{mn}$ とは2次元的に混在した状態で同一面内にて配列してもよい。この場合、第1光感応部分 $12_{mn}$ と第2光感応部分 $13_{mn}$ とは市松模様状に配列しており、第1光感応部分 $12_{mn}$ と第2光感応部分 $13_{mn}$ とは第1の方向及び第2の方向において交互に配列している。なお、市松模様状に配列する代わりに、図8に示されるようなハニカム状に配列してもよい。

【0130】 また、第1及び2レベルシフト回路120, 270それぞれに入力されるシフト電圧出力 $V_{shift1}$ ,  $V_{shift2}$ は、同じ値としてもよく、また異なる値であってもよい。

25

#### 産業上の利用可能性

【0131】 本発明の光検出装置は、反射光あるいは直接光の入射位置検出シ

システムに利用できる。

## 請求の範囲

1. 画素が 2 次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで 1 画素が構成され、

5 前記 2 次元配列における第 1 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電気的に接続され、

前記 2 次元配列における第 2 の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電気的に接続  
10 されており、

前記第 1 の方向に配列された前記複数の画素間において電気的に接続された一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して、電圧出力を出力する第 1 積分回路と、

前記第 1 積分回路それぞれから出力される電圧出力の最大値を検出する第 1 最大値検出回路と、

前記第 1 最大値検出回路により検出された前記最大値から当該最大値より所定値小さい値までの範囲を A/D 変換範囲とし、前記第 1 積分回路それぞれから出力される電圧出力を前記 A/D 変換範囲においてデジタル値に変換し、そのデジタル値を出力する第 1 A/D 変換回路と、

20 前記第 2 の方向に配列された前記複数の画素間において電気的に接続された他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を電圧出力に変換して、電圧出力を出力する第 2 積分回路と、

前記第 2 積分回路それぞれから出力される電圧出力の最大値を検出する第 2 最大値検出回路と、

25 前記第 2 最大値検出回路により検出された前記最大値から当該最大値より所定値小さい値までの範囲を A/D 変換範囲とし、前記第 2 積分回路それぞれから出

力される電圧出力を前記A／D変換範囲においてデジタル値に変換し、そのデジタル値を出力する第2 A／D変換回路と、を有することを特徴とする光検出装置。

2. 前記第1最大値検出回路により検出された前記最大値から前記所定値を減じて求めた電圧出力を前記第1積分回路それぞれから出力される電圧出力から減じて前記第1 A／D変換回路に出力する第1レベルシフト回路と、

前記第2最大値検出回路により検出された前記最大値から前記所定値を減じて求めた電圧出力を前記第2積分回路それぞれから出力される電圧出力から減じて前記第2 A／D変換回路に出力する第2レベルシフト回路と、を更に有することを特徴とする請求の範囲第1項に記載の光検出装置。

10 3. 画素が2次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで1画素が構成され、

前記2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電気的に接続され、

前記2次元配列における第2の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電気的に接続されており、

20 前記第1の方向に配列された前記複数の画素間において電気的に接続された一方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力を電圧出力に変換して、電圧出力を出力する第1積分回路と、

前記第1積分回路それぞれから出力される電圧出力の最小値を検出する第1最小値検出回路と、

25 前記第1最小値検出回路により検出された前記最小値から当該最小値より所定値大きい値までの範囲をA／D変換範囲とし、前記第1積分回路それぞれから出力される電圧出力を前記A／D変換範囲においてデジタル値に変換し、そのデジ

タル値を出力する第1A/D変換回路と、

前記第2の方向に配列された前記複数の画素間において電気的に接続された他方の光感応部分群に対応して設けられ、対応する他方の光感応部分群からの電流出力を電圧出力に変換して、電圧出力を出力する第2積分回路と、

5 前記第2積分回路それぞれから出力される電圧出力の最小値を検出する第2最小値検出回路と、

前記第2最小値検出回路により検出された前記最小値から当該最小値より所定値大きい値までの範囲をA/D変換範囲とし、前記第2積分回路それぞれから出力される電圧出力を前記A/D変換範囲においてデジタル値に変換し、そのデジ  
10 タル値を出力する第2A/D変換回路と、を有することを特徴とする光検出装置。

4. 対象物に光を照射する光源とともに用いられ、前記光源から照射される光に関する情報を演算処理することを特徴とする請求の範囲第1項又は請求の範囲第3項に記載の光検出装置。

5. 前記光に関する情報が、前記光源から照射される前記光の反射光の前記2次元配列における第1の方向及び第2の方向での輝度プロファイルであることを特徴とする請求の範囲第4項に記載の光検出装置。

6. 前記光に関する情報が、前記光源から照射される前記光の直接光の前記2次元配列における第1の方向及び第2の方向での輝度プロファイルであることを特徴とする請求の範囲第4項に記載の光検出装置。

図1

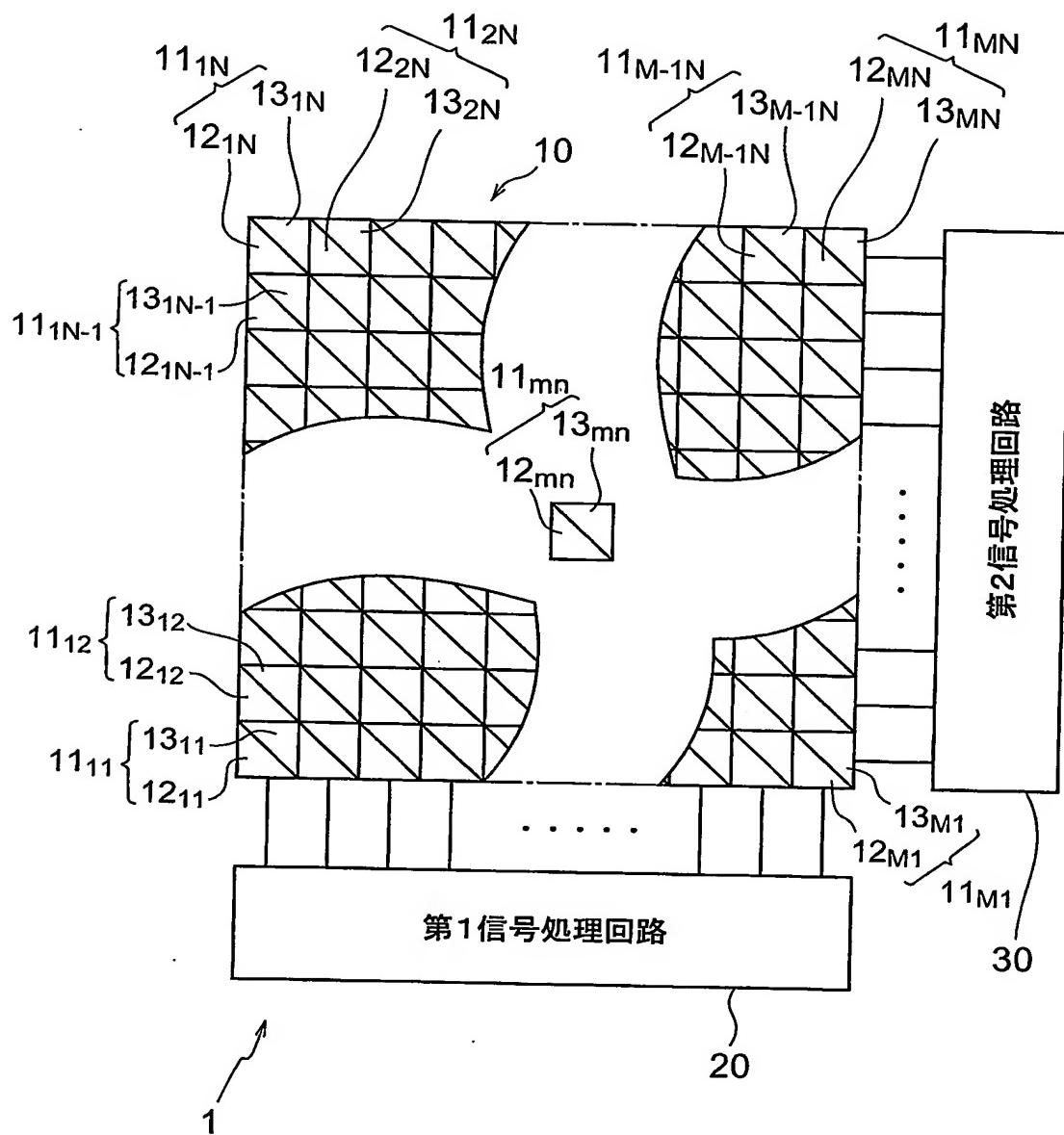


図2

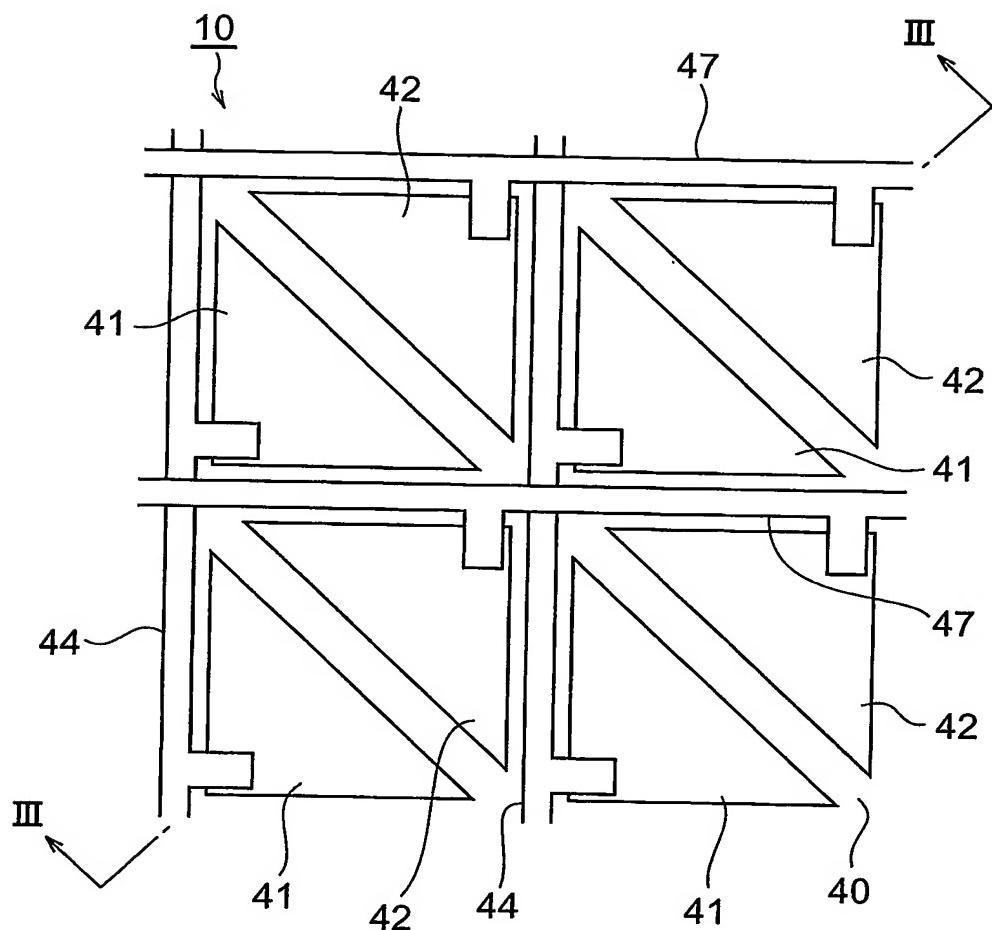


図3

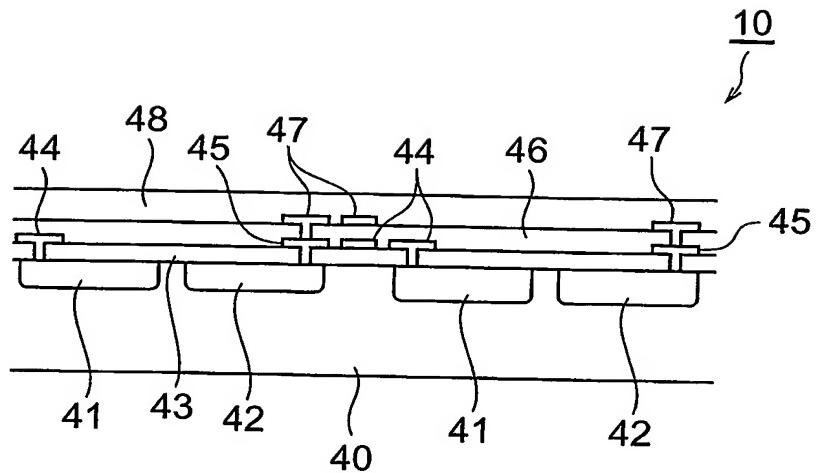


図4

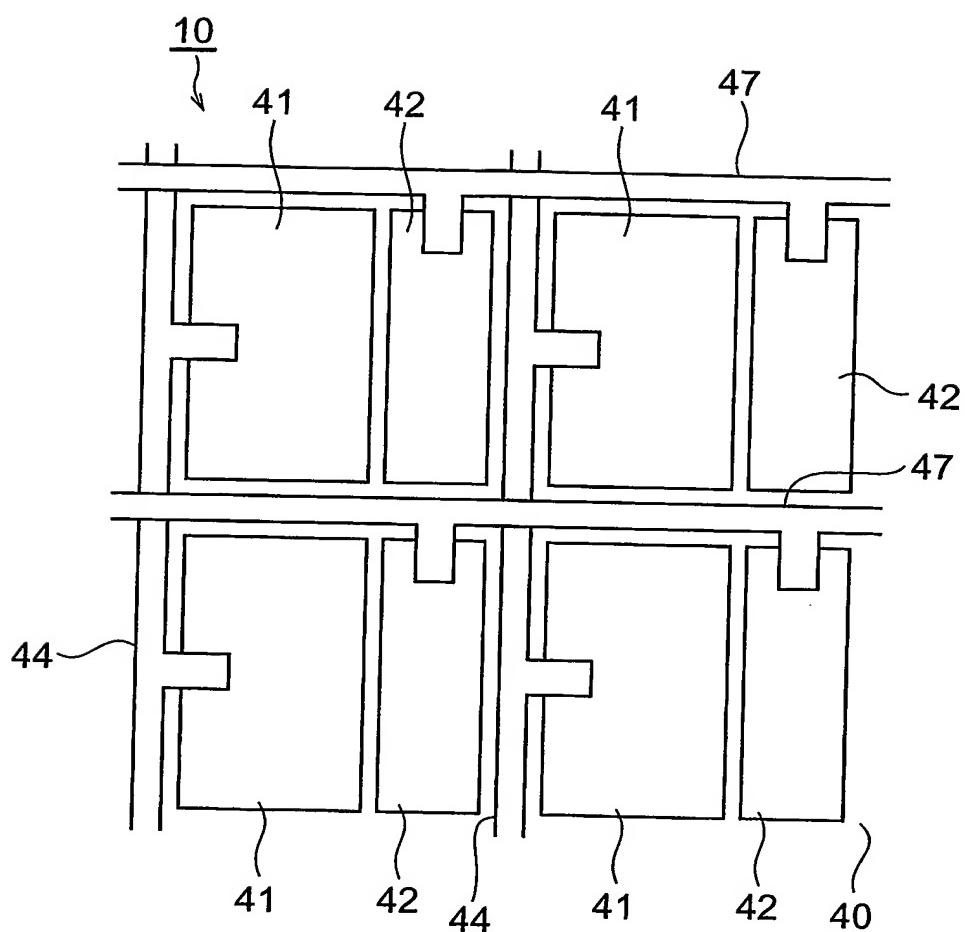


図5

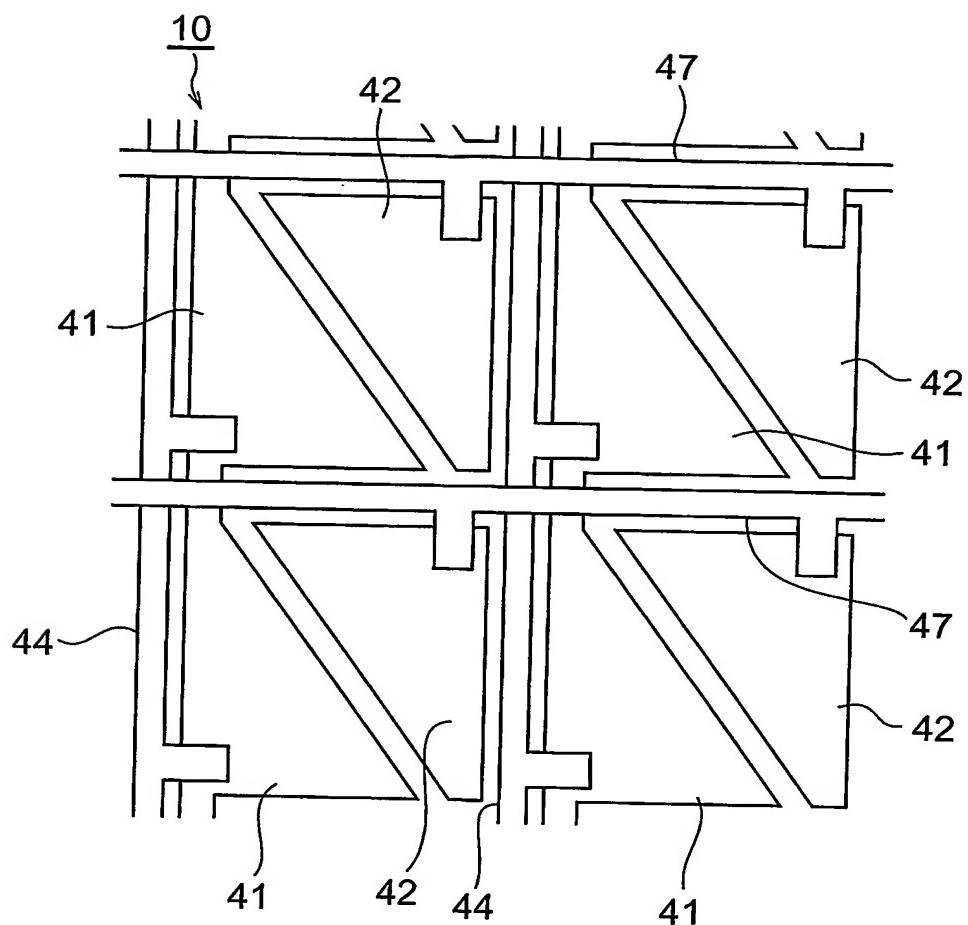


図6

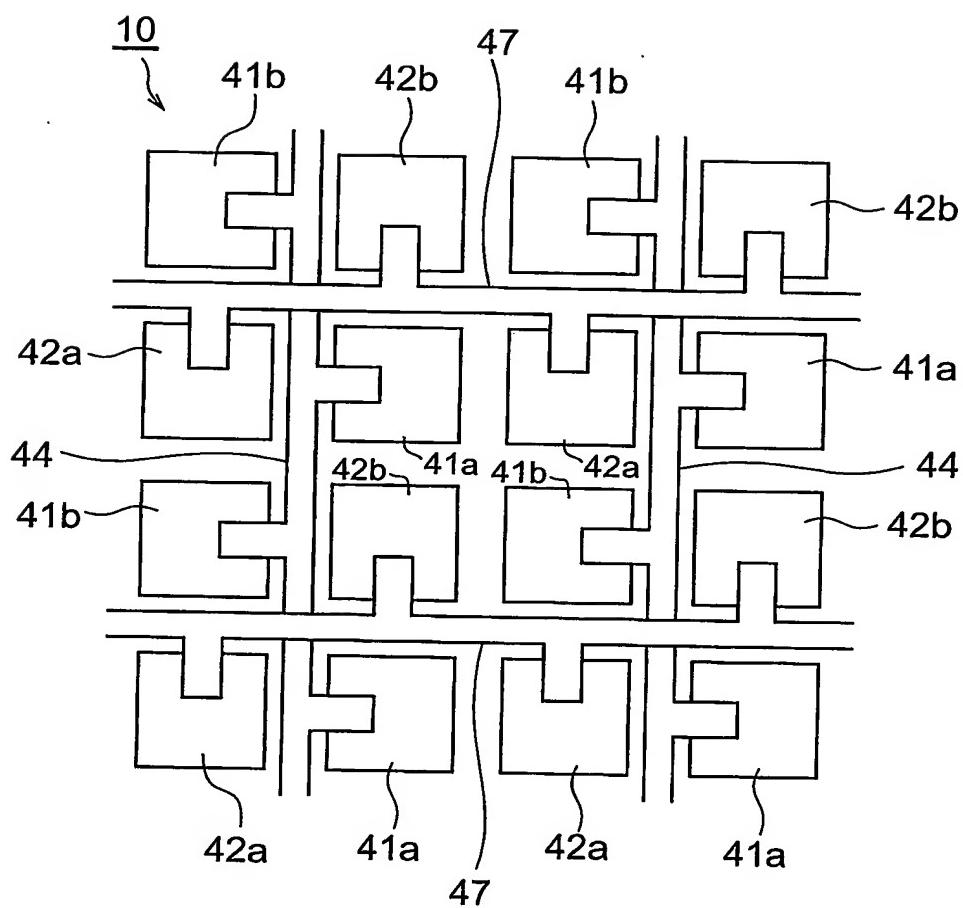


図7

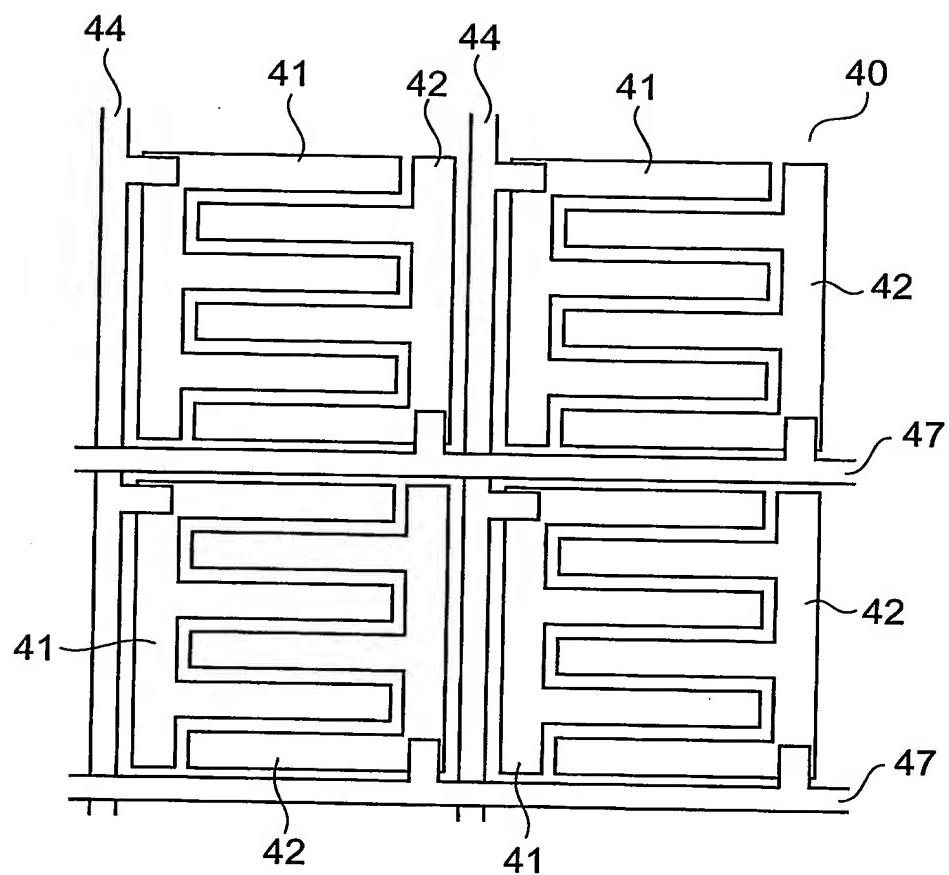


図8

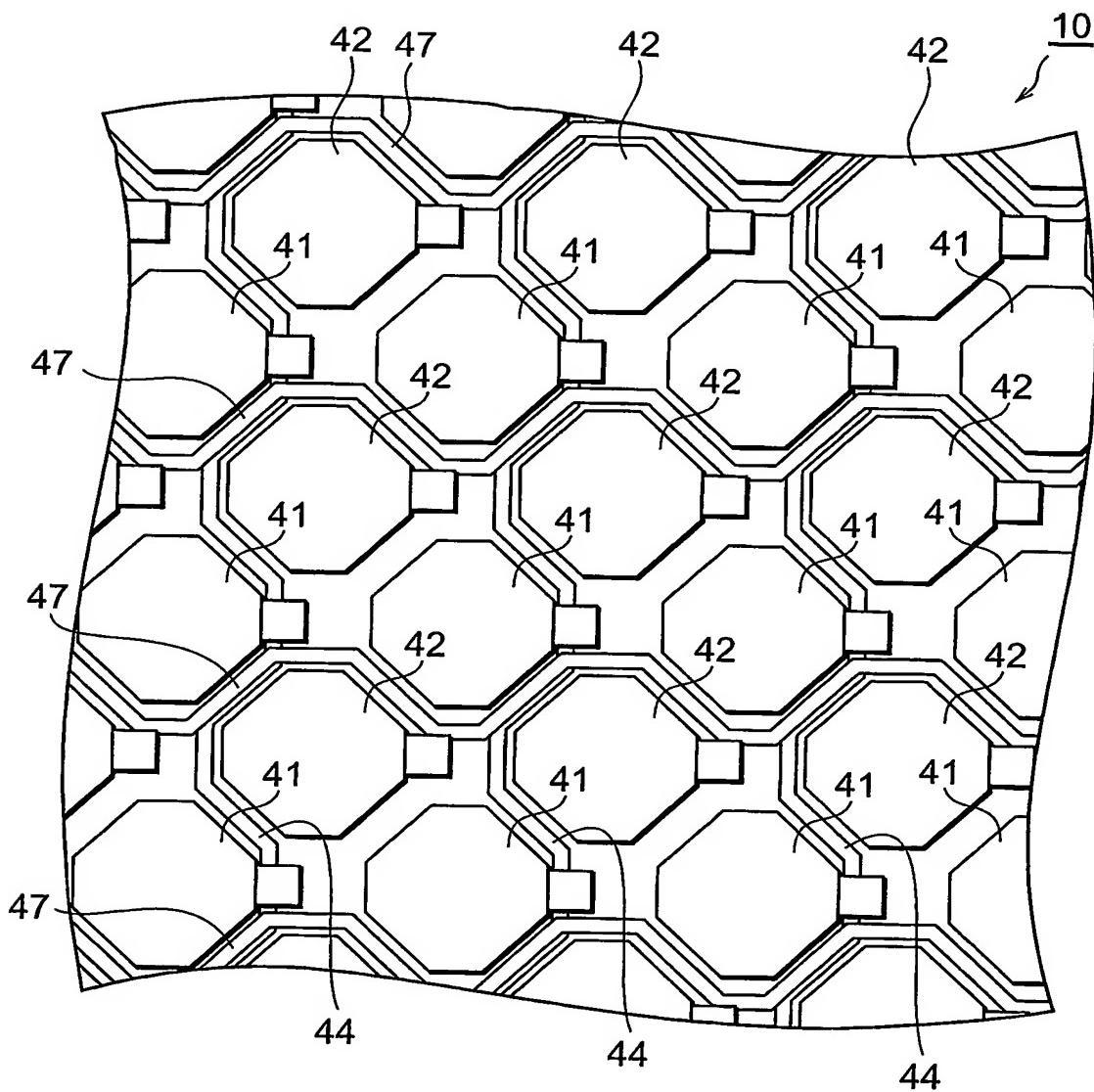


図9

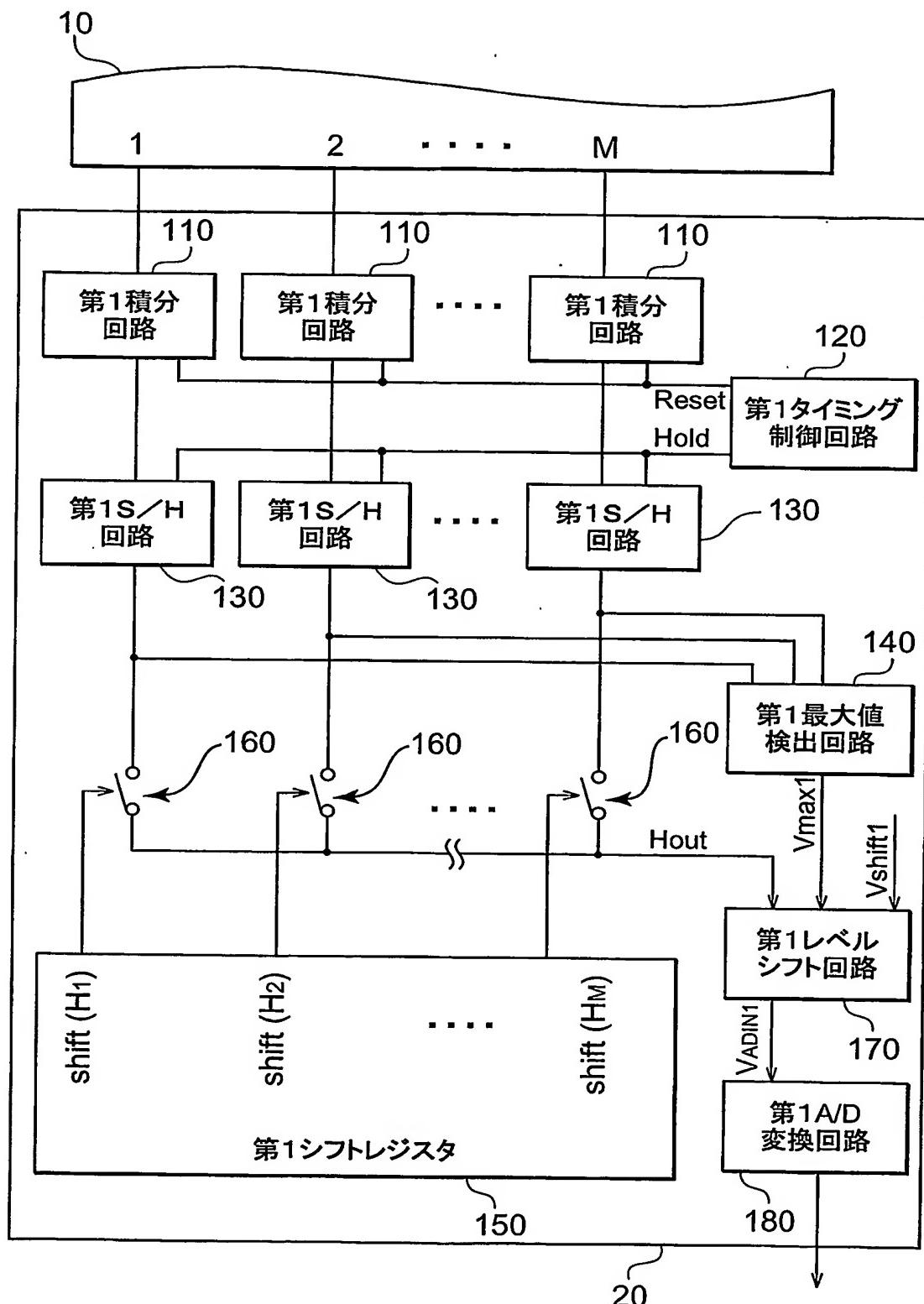


図10

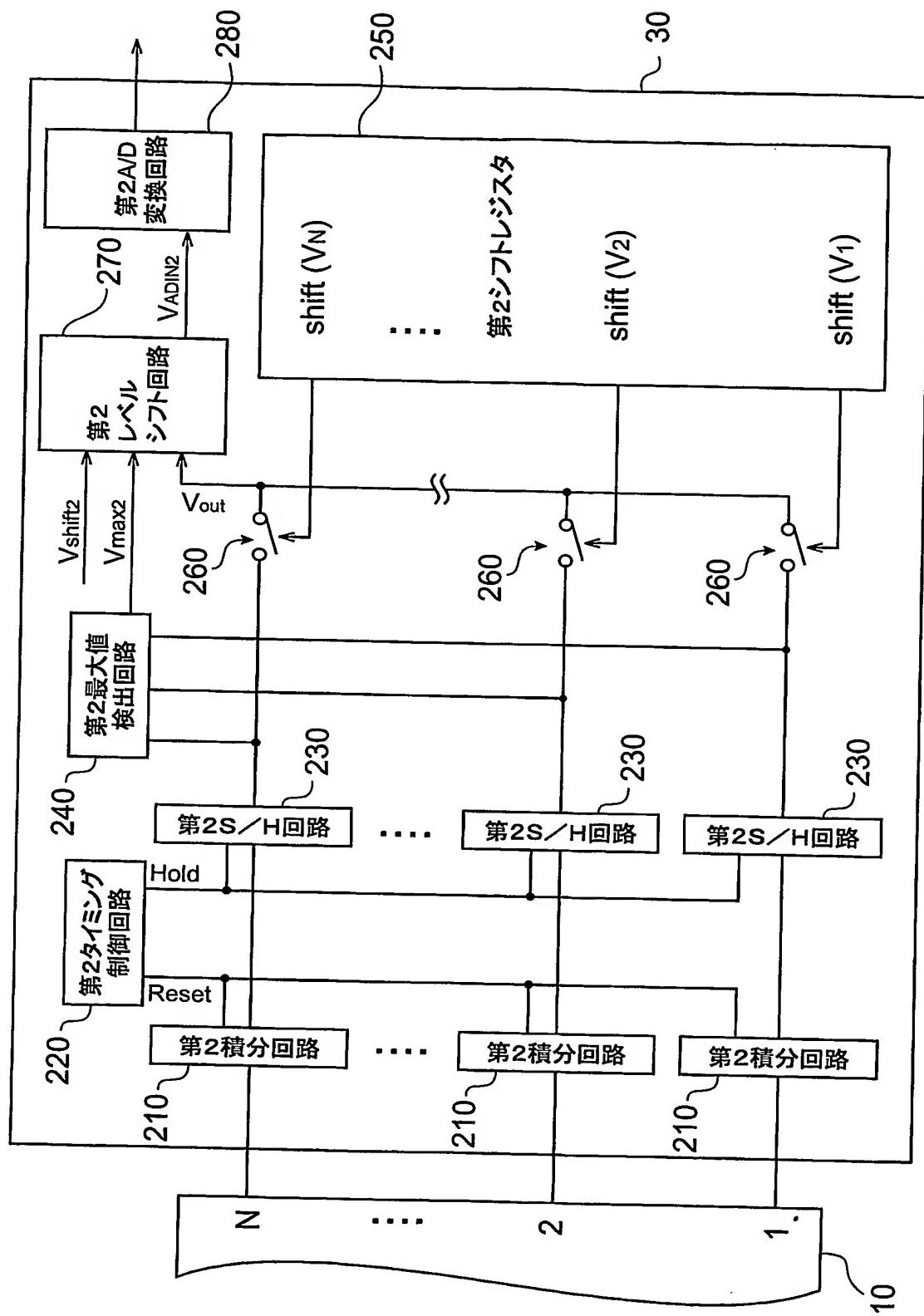


図11

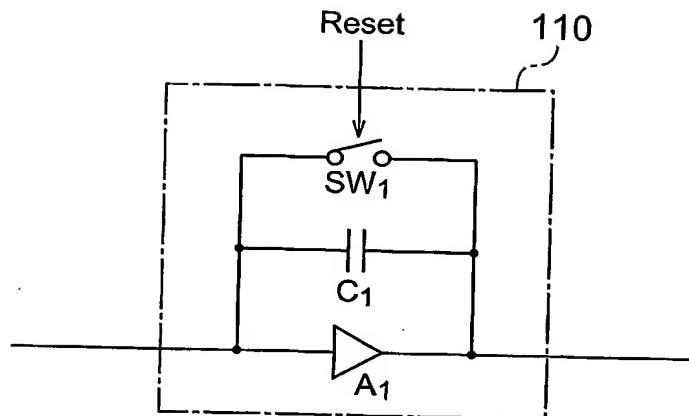


図12

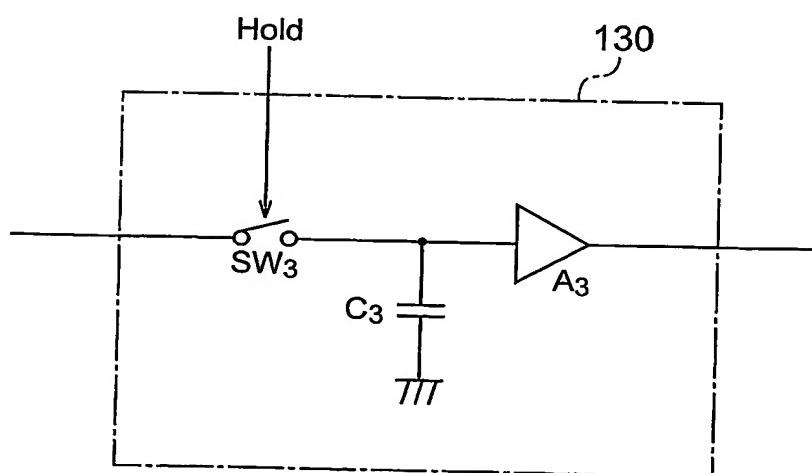


図13

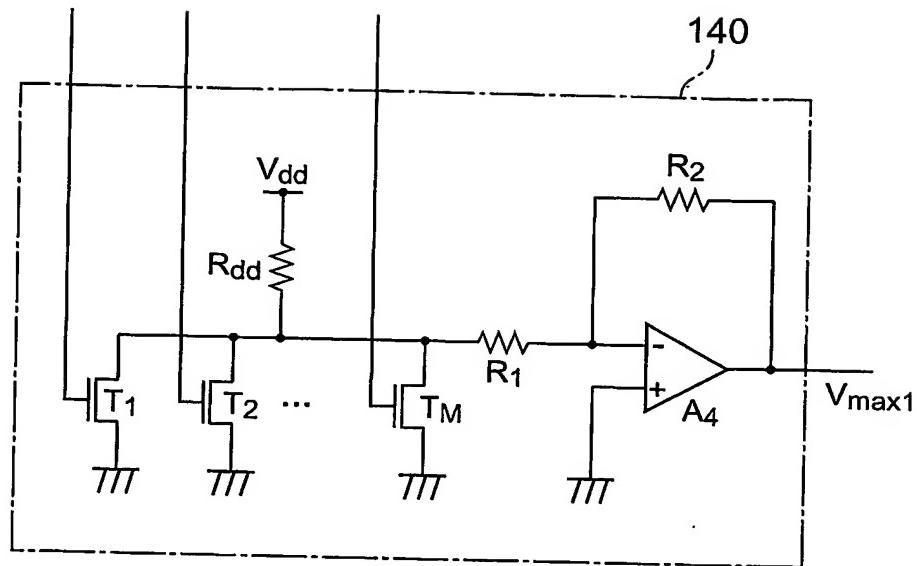
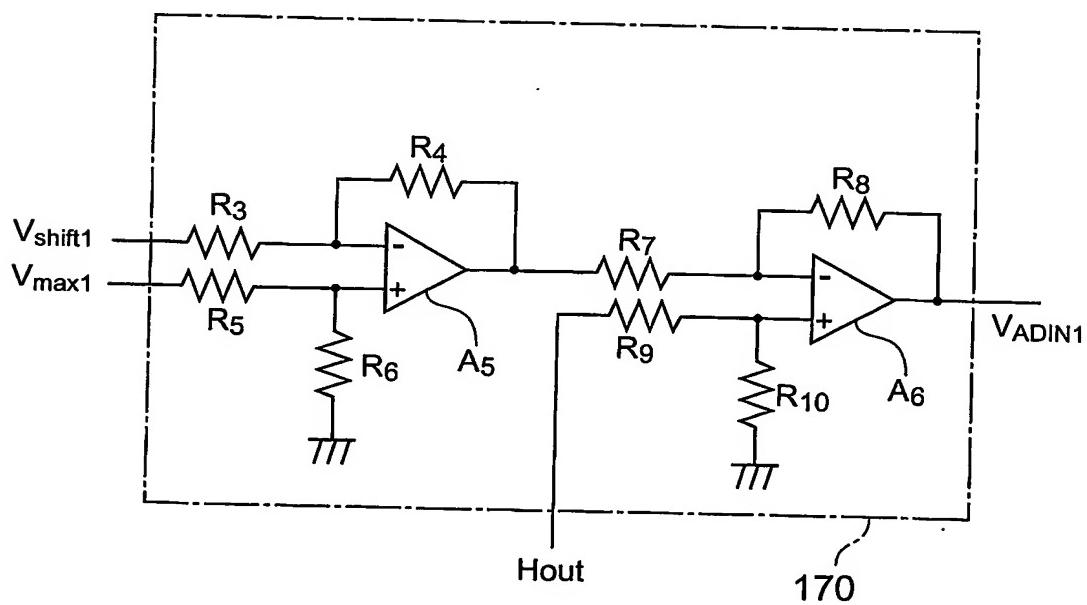


図14



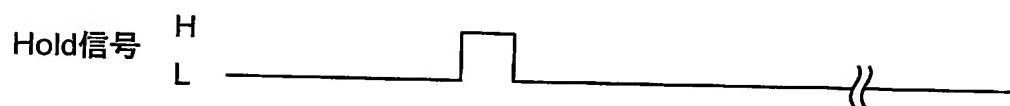
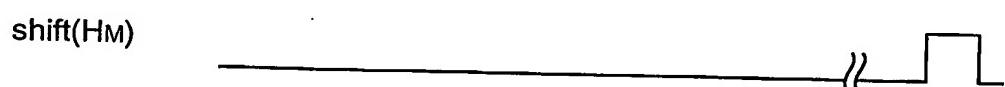
**図15A****図15B****図15C****図15D****図15E****図15F****図15G****図15H**

図16

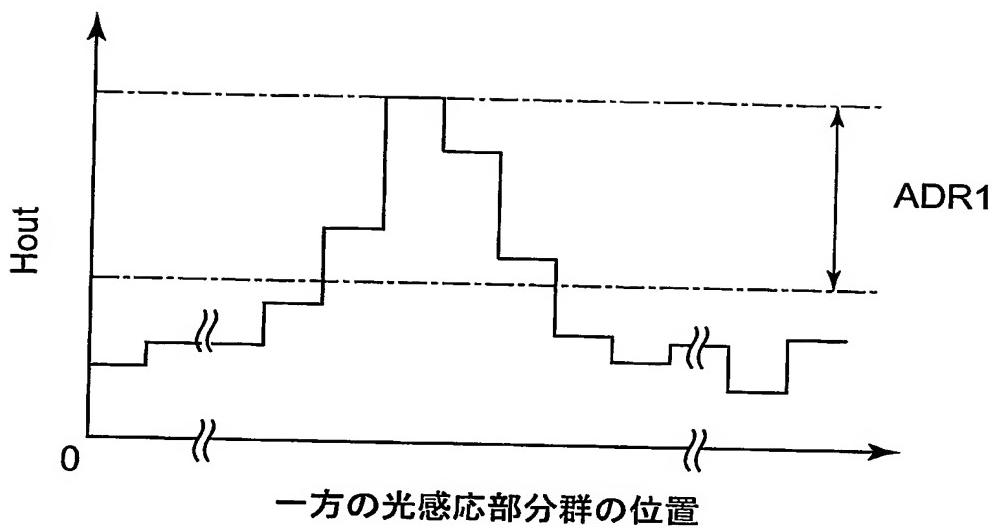
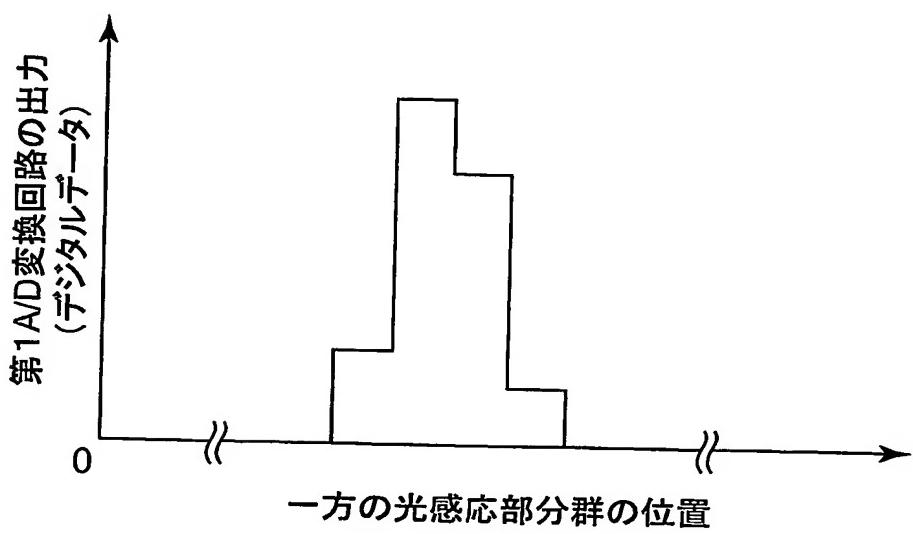


図17



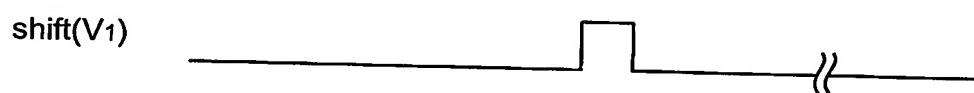
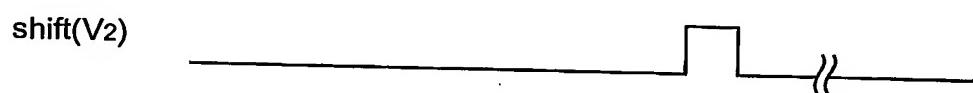
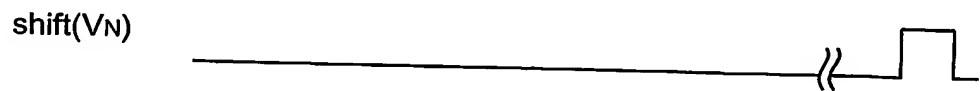
**図18A****図18B****図18C****図18D****図18E****図18F****図18G****図18H**

図19

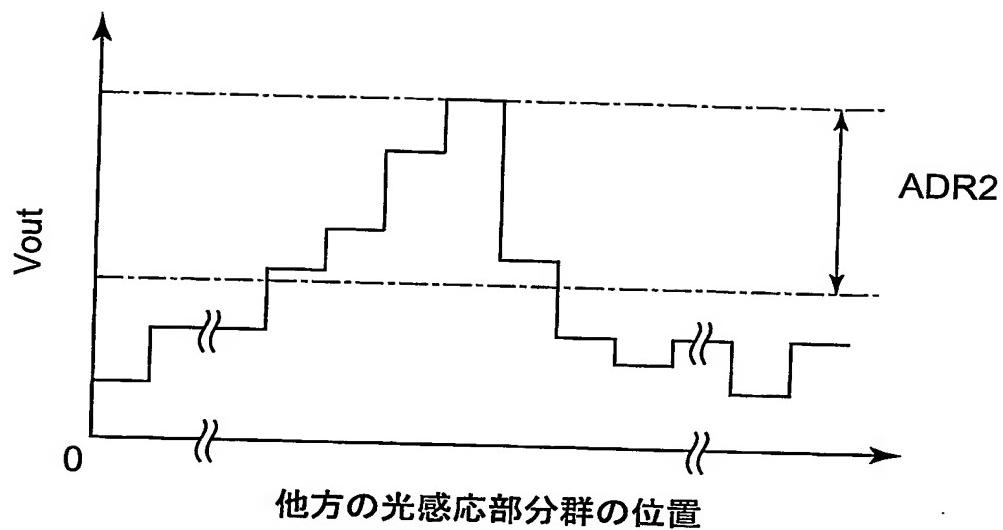


図20

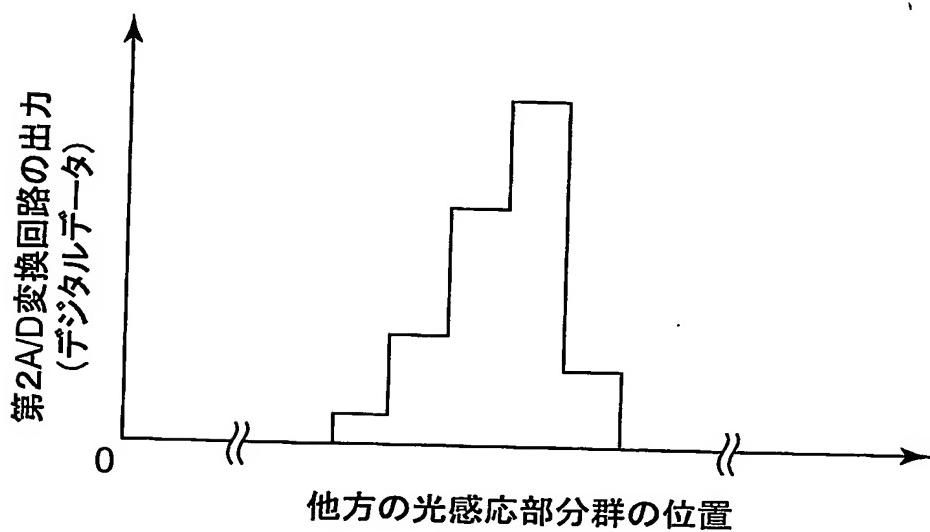


図21

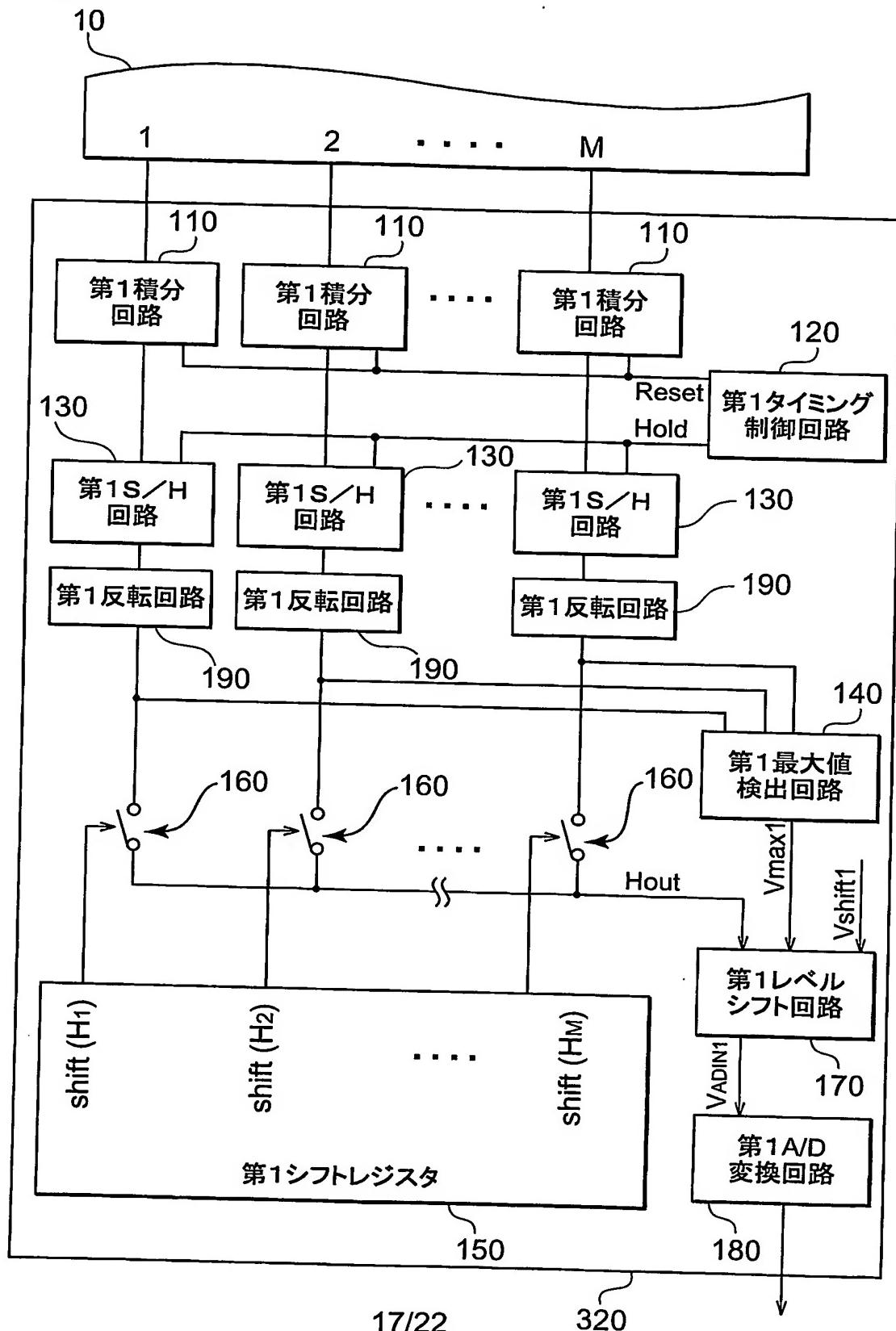


図22

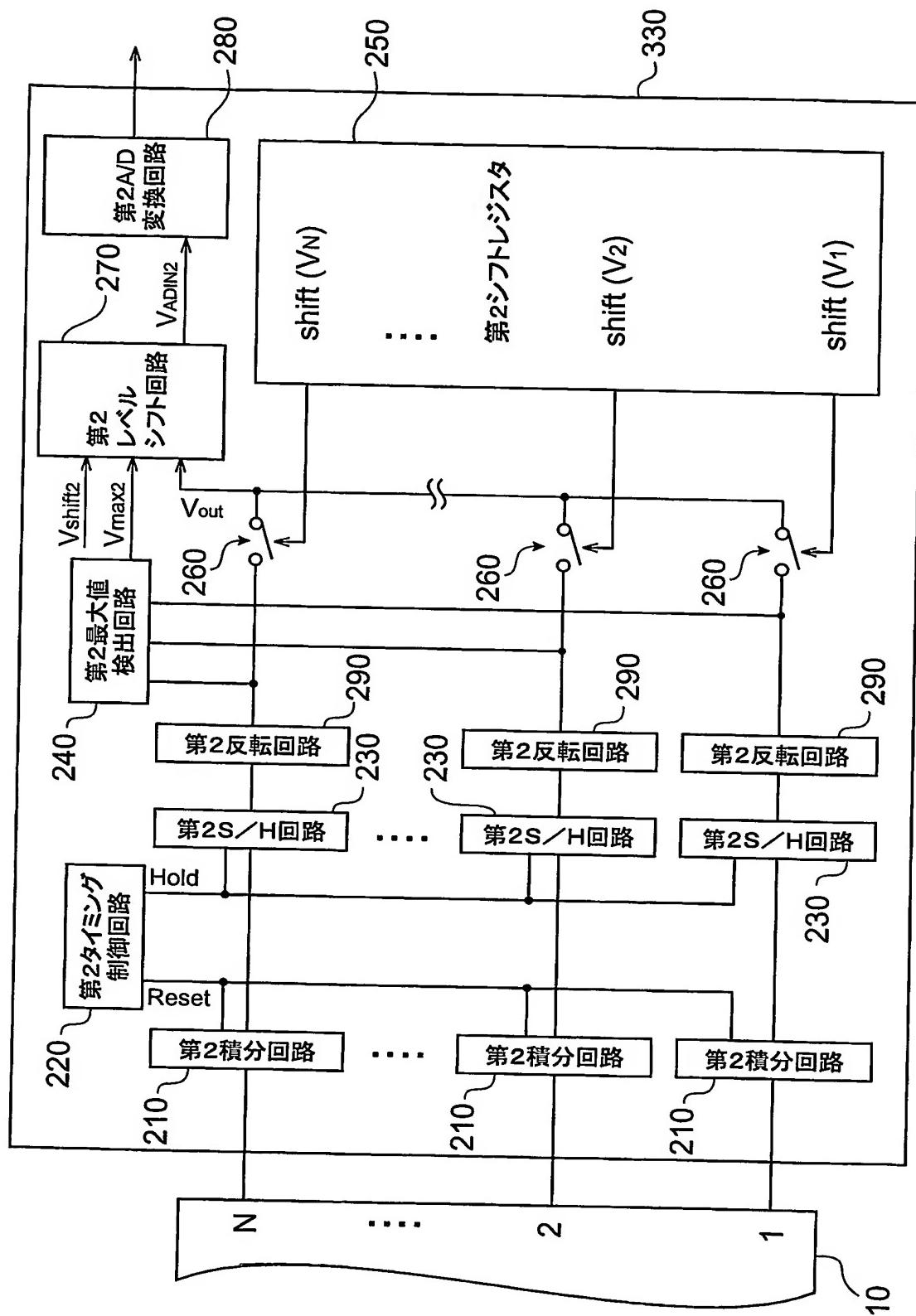


图23

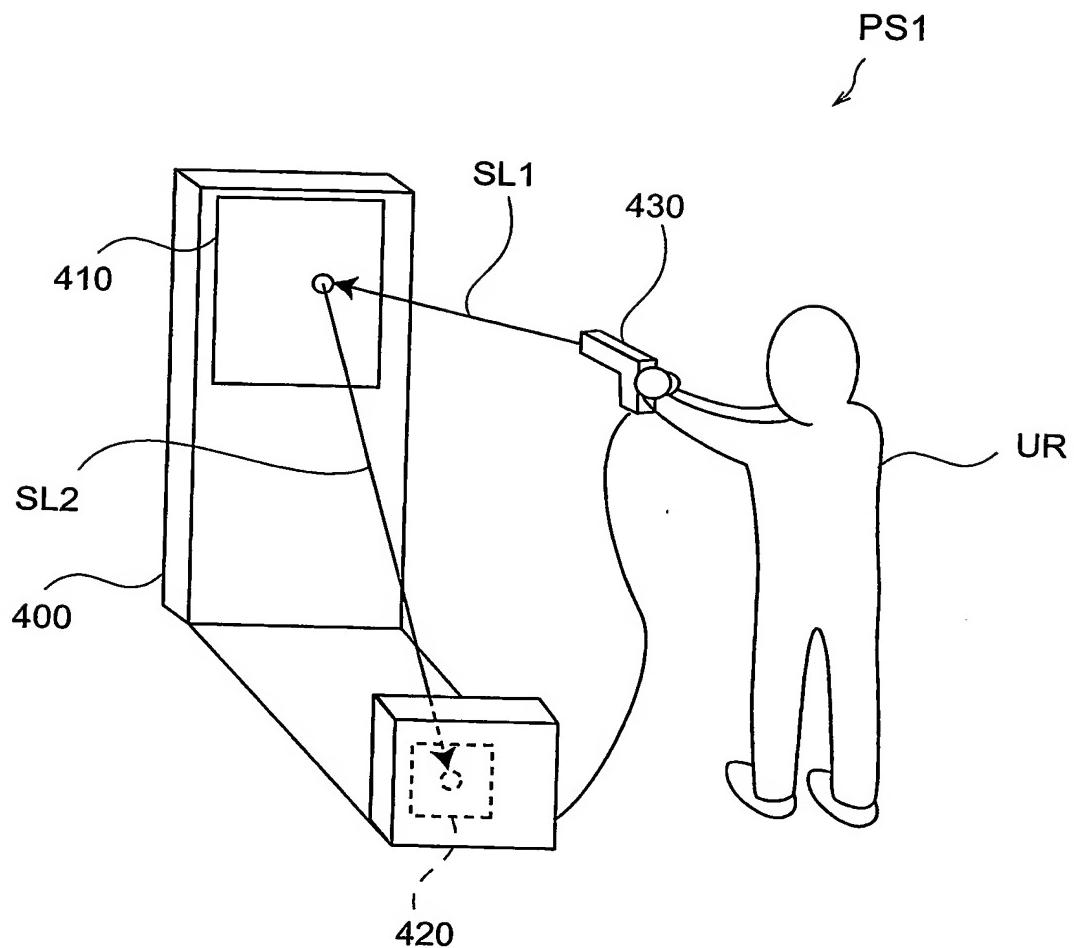


図24

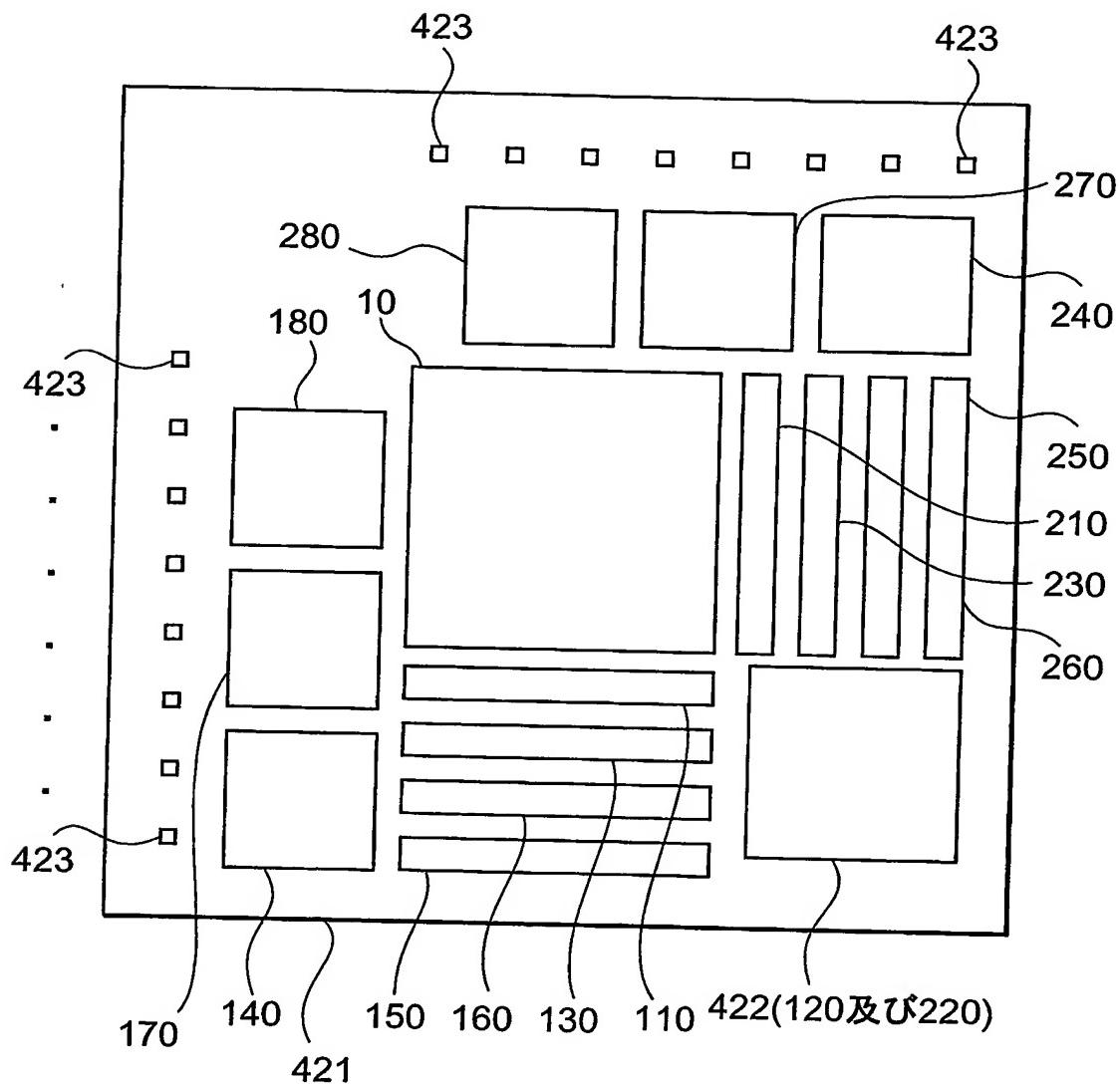


図25

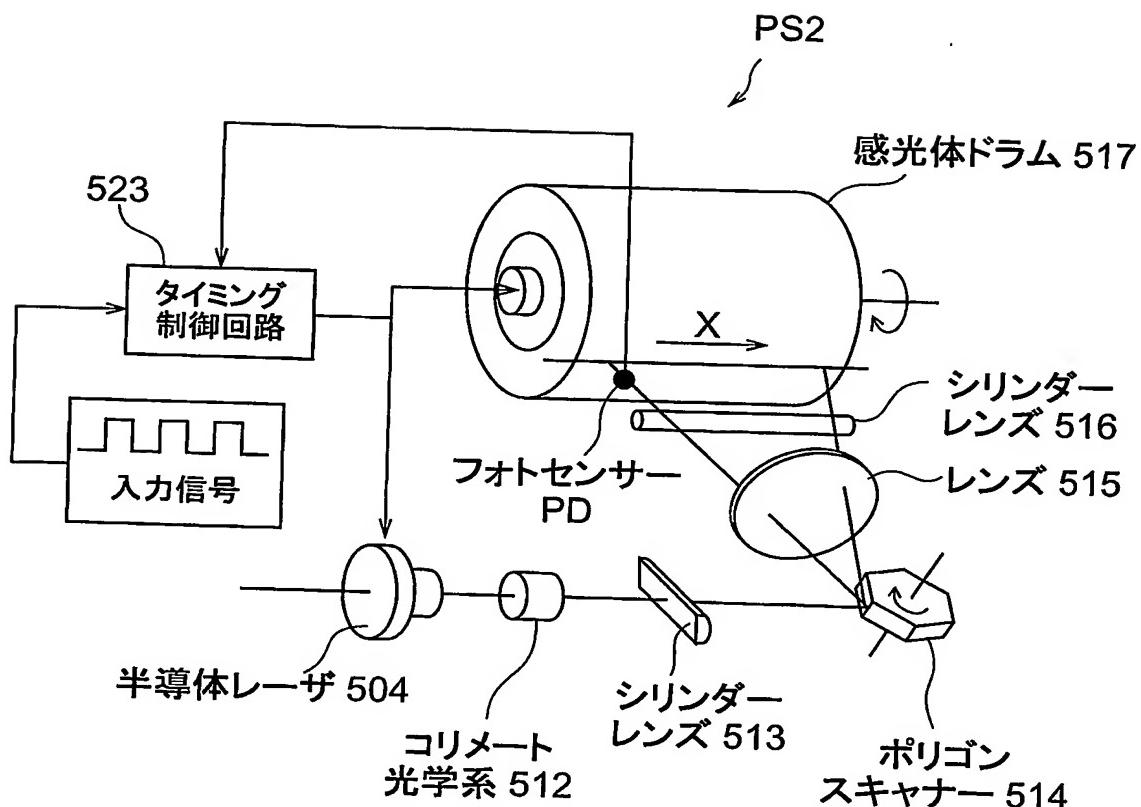
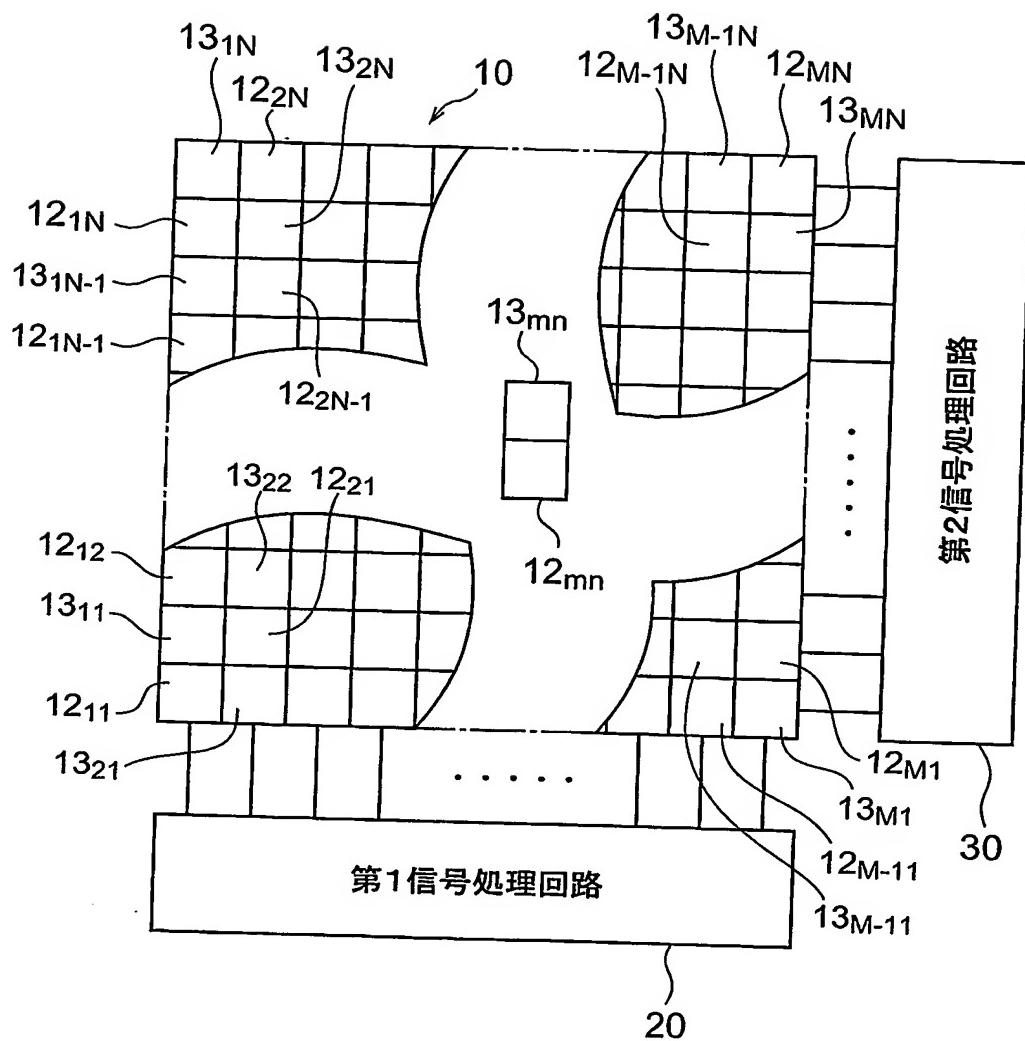


図26



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/000299

A. CLASSIFICATION OF SUBJECT MATTER  
Int.C1<sup>7</sup> G01B11/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.C1<sup>7</sup> G01B11/00-11/30, G01J1/44, H04N5/335, H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-5832 A (Fujitsu Ltd.), 14 January, 1994 (14.01.94), Full text; all drawings (Family: none)	1-6
A	JP 5-29594 A (Fujitsu Ltd.), 05 February, 1993 (05.02.93), Full text; all drawings (Family: none)	1-6
P, X	WO 03/055201 A1 (Hamamatsu Photonics Kabushiki Kaisha), 04 July, 2003 (04.07.03), Full text; all drawings & JP 2003-189181 A	1-6

 Further documents are listed in the continuation of Box C. See patent family annex.

- \* Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed
- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search  
22 April, 2004 (22.04.04)Date of mailing of the international search report  
18 May, 2004 (18.05.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl. 7 G01B 11/00

## B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl. 7 G01B 11/00 - 11/30, G01J1/44, H04N5/335, H01L27/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 6-5832 A (富士通株式会社) 14. 01. 1994, 全文、全図 (ファミリーなし)	1-6
A	JP 5-29594 A (富士通株式会社) 05. 02. 1993, 全文、全図 (ファミリーなし)	1-6
P, X	WO 03/055201 A1 (浜松ホトニクス株式会社) 04. 07. 2003, 全文、全図 & JP 2003-189181 A	1-6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

22. 04. 2004

国際調査報告の発送日

18. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

山下雅人

2 S

9303

電話番号 03-3581-1101 内線 3216

## 第IV欄 要約（第1ページの5の続き）

光が入射した2次元位置の検出処理の高速化および構成の簡素化を図る目的とする。画素（11<sub>MN</sub>）が2次元配列された光感応領域（10）において、各々入射した光の強度に応じた電流を出力する複数の光感応部分（12<sub>MN</sub>, 13<sub>MN</sub>）を同一面内にて隣接配設することで1画素（11<sub>MN</sub>）が構成され、2次元配列における第1の方向について各画素（11<sub>MN</sub>）の一方の光感応部分（12<sub>MN</sub>）同士を電気的に接続し、第2の方向について各画素（11<sub>MN</sub>）の他方の光感応部分（13<sub>MN</sub>）同士を電気的に接続し、それぞれに光感応部分群を構成する。光感応部分群それぞれの電流出力を電圧出力に変換する積分回路、当該電圧出力を適正な範囲においてデジタル出力に変換するためのA/D変換回路を備える。